

1200V급 SiC DMOSFET 제작을 위한 특성 Simulation

김상철, 주성재, 강인호, 방 옥, 김남균
한국전기연구원 고집적전원연구그룹

Simulation Characteristics of 1200V SiC DMOSFET Devices

Sangcheol Kim, Sungjae Joo, Inho Kang, Wook Bahng, Namkyun Kim
Korea Electrotechnology Research Institute

초록 : 탄화규소를 이용한 1200V급 MOSFET 소자 제작을 위하여 특성 simulation을 수행하였다. 1200V 내압을 얻기 위해서 불순물 농도가 $5E15/cm^3$ 이고 에피층의 두께가 $12\mu m$ 인 상용 탄화규소 웨이퍼를 기준으로 하였으며 채널 저항을 줄이기 위해 채널길이를 $0.5\mu m$ 로 하였다. 게이트전압이 13V, 드레인 전압이 4V에서 specific on-resistance 값은 $12m\Omega/cm^2$ 로 매우 우수한 특성을 보이고 있다. P-body의 표면 농도를 $5E16/cm^3$ 에서 $1E18/cm^3$ 으로 변화시키면서 소자의 전기적 특성을 예측하였으며 실험 결과와 비교하여 특성 변수를 추출하였다.

Key Words : MOSFET, Acceptor concentration, 4H-SiC, On-resistance

1. 서 론

SiC 전력반도체소자는 실리콘 전력반도체소자에 비해 우수한 물질특성을 갖고 있어 성능 측면에서 뿐 만 아니라 전력변환장비의 크기를 획기적으로 줄일 수 있다[1]. SiC 반도체 분야에서의 최근의 비약적인 발전을 통해 고전압 전력소자로서의 활용가능성이 매우 높아지고 있다 [2]. 특히 소자가 직접적으로 고온 환경에서 동작이 가능하면, 좀 더 신뢰성 있는 정확한 측정 및 제어가 가능할 뿐만 아니라 시스템의 소형 및 경량화 실현, 빠른 응답특성, 결과적인 효율향상 등 여러 가지 장점을 얻을 수 있다. 현재는 $250^\circ C$ 까지의 온도영역에서 실리콘 SOI(Silicon on Insulator) 소자가 주로 사용되고 있다. 그러나 $300^\circ C$ 를 넘는 온도 영역에서는 실리콘으로는 한계가 있고, 특히 SOI는 전력소자에 적용하기는 한계가 있어 주로 저전력 고온소자가 필요한 부분에 적용이 되고 있다. 따라서 전력용에 적합한 고온소자로 SiC 소자의 연구가 활발히 진행되고 있다.

본 연구에서는 1200V 4H-SiC DMOSFET소자를 제작하기 위한 전단계로 전산모사를 통해 설계 변수에 따른 소자의 순방향 특성 및 역방향 특성을 파악하였으며 고전압 특성을 확보하기 위하여 최적의 전계제한테 구조를 계산하였다.

2. 본 론

2.1 소자 구조

그림 1에 제안된 4H-SiC MOSFET 소자의 구조를 나타내었다. 1200V급 소자의 simulation을 위해 두께 및 농도가 $10\mu m \sim 17\mu m$ 와 $4E15cm^{-3} \sim 1E16cm^{-3}$ 인 n-type 에피 성장시킨 4H-SiC 웨이퍼를 출발물질로 사용하였다. 4H-SiC MOSFET에서 일반적으로 p-well은 알루미늄을 이온 주입하여 형성시킨다. 이때 box profile을 얻기 위해 다중 에너지 주입을 이용하는데 본 연구에서는 TRIM simulation을

이용하여 box profile을 형성하기 위한 주입 에너지를 결정하였다. 접합깊이가 $0.5\mu m$ 인 P-well 영역의 box profile을 형성하기 위해 알루미늄이온을 360keV부터 20keV까지 변화시키면서 이온주입하였다.

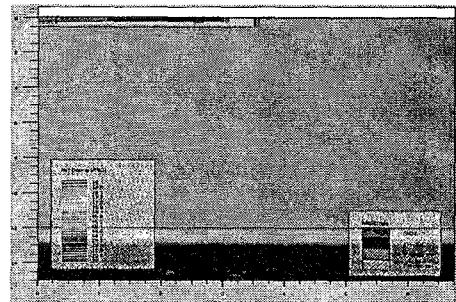


그림 1. 1200V급 SiC DMOSFET Simulation Structure

N+ 소오스 영역은 표면농도가 $5E19cm^{-3}$, 접합깊이가 $0.2\mu m$ 가 되도록 구조를 형성하였으며 게이트 산화막은 800\AA 두께로 형성하였다. 채널길이에 대한 순방향 특성 비교를 위해 채널길이를 $0.5\mu m \sim 2\mu m$ 까지 변화시켰다.

2.2 Simulation 결과 및 분석

그림 2에 n-drift층의 농도에 따른 1차원 항복전압 simulation 결과를 나타내었다. 이때 n-drift층의 두께는 $12\mu m$ 이고 p-well의 접합깊이 및 농도는 $0.5\mu m$ 와 $3E17cm^{-3}$ 로 고정하였다. 일반적으로 고전압소자에서는 edge termination 구조에 따라 1차원 항복전압의 60~90% 정도의 항복전압 특성을 얻을 수 있다. 본 연구에서의 SiC MOSFET는 전계제한테 구조를 edge termination으로 사용할 예정이고, 전계제한테 구조는 1차원 계산결과의 80%

정도가 최대 항복전압이 되고 공정오차를 포함하여 1550V 이상의 결과를 만족시켜야 한다. 따라서 n-drift층의 농도는 $5E15\text{cm}^{-3} \sim 6E15\text{cm}^{-3}$ 정도로 결정되어야 한다.

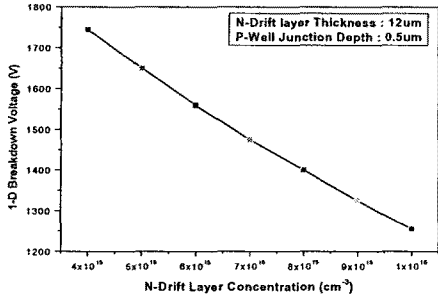


그림 2. N-drift층 농도에 따른 1차원 SiC DMOSFET 항복전압 simulation 결과

N-drift층의 두께에 대한 1차원 항복전압 simulation 결과를 그림 3에 나타내었다. Drift층의 두께를 10~17 μm 까지 변화시키면서 simulation을 수행한 결과 11~12 μm 의 두께로도 충분히 1550V 이상의 항복전압 특성을 얻을 수 있었다. Drift층의 두께가 두꺼울수록 항복전압 특성은 향상되나 drift 층의 낮은 농도로 인한 저항으로 소자의 순방향 특성이 떨어진다. 따라서 최적의 농도 및 두께를 결정하는 것이 중요하다. 이상의 항복전압 simulation을 바탕으로 1200V급 SiC DMOSFET을 제작하기 위한 n-drift층의 농도 및 두께를 $5E15/\text{cm}^3$ 과 12 μm 로 결정하여 순방향 IV 특성 simulation을 수행하였다.

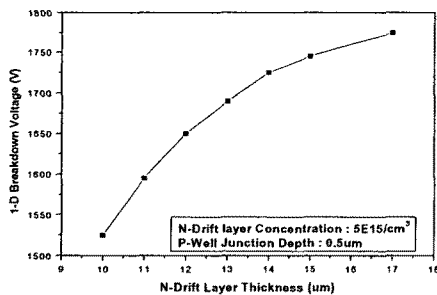


그림 3. N-drift층 두께에 따른 1차원 SiC MOSFET의 항복전압 simulation 결과

그림 4에 제안된 SiC DMOSFET의 채널길이에 따른 specific-on 저항 simulation 특성을 나타내었다. 상온에서 게이트 전압 13V, 드레인 전압을 4V의 조건에서 채널 길이를 0.5 μm 에서 2.0 μm 까지 0.5 μm 간격으로 변화시키면서 specific-on 저항 특성을 구했다. Simulation된 specific-on 저항은 채널 길이에 따라 $12\text{m}\Omega\text{cm}^2(0.5\mu\text{m})$ 에서 $14\text{m}\Omega\text{cm}^2(2\mu\text{m})$ 로 큰 차이를 보이지 않으며 실리콘 소자에 비해 매우 우수한 특성을 얻을 수 있었다. 소자의 specific-on 저항 특성은 게이트 전압의 함수이며 소자를 완전히 턴-온시키기 위해서는 큰 게이트 전압이 필요하고 또한 온-저항은

상온에서 채널의 이동도와 깊은 연관이 있다. 따라서 소자의 온-저항을 줄이기 위해서는 채널의 길이, 채널영역의 농도 및 이동도를 최적화하는 것이 매우 중요하다.

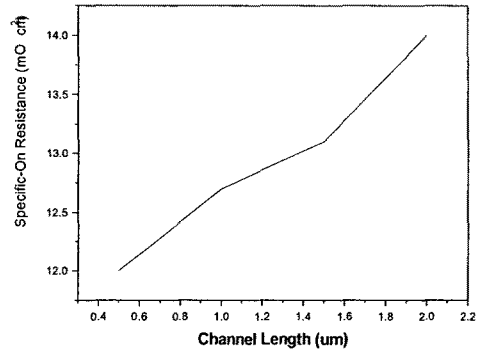


그림 4. 채널길이에 따른 specific-on 저항 특성

3. 결론

1200V급 4H-SiC MOSFET 소자를 제작하기 위하여 상용 simulator를 사용하여 전산모사를 수행하였다. 1200V의 고전압을 견디기 위해서는 n-drift 층의 두께는 12 μm 이고 이때의 에피층의 농도는 $5E15\text{cm}^{-3}$ 인 웨이퍼를 기준으로 설계하였다. 설계된 MOSFET소자의 specific-on 저항은 $12\text{m}\Omega\text{cm}^2$ 으로 동일한 정격의 silicon MOSFET 소자에 비해 매우 낮은 값을 얻을 수 있었다. 또한 고전압을 견디기 위한 구조로 전계제한데 구조를 적용하였으며 6개의 외각 링을 적용하여 충분한 역방향 전압 저지 특성을 확보할 수 있었다.

본 논문에서 제안된 SiC MOSFET 소자의 경우 실리콘 MOSFET 소자에 비해 온-저항 특성이 매우 우수하고 고전압화가 용이하여 저손실 전력변환 분야에 매우 유리한 소자이다. 특히 전기자동차 및 태양광발전 등의 고온 환경에서 매우 매력적인 소자로 응용분야가 확대될 것으로 판단된다. 그러나 아직은 게이트 산화막 특성, 채널 이동도, 웨이퍼의 대구경화 및 결함 밀도 등의 개선할 부분이 많이 남아 있다.

감사의 글

본 논문은 지식경제부가 지원하는 전력산업연구사업을 통해 개발된 결과이며 지원에 감사드립니다.

참고 문헌

- [1] Sei-Hyung Ryu, et al.: IEEE Electron Device Letters, Vol. 23, No. 6, p. 321, June, 2002
- [2] K. Fujihira, et al.: Material Science Forum Vols. 556-557 (2007) pp. 827-830
- [3] Silvaco TCAD Manuals, Atlas, Silvaco International, Co. USA.
- [4] Sei-Hyung Ryu, et al.: Material Science Forum Vols. 556-557 (2007) pp. 775-778