

800V급 4H-SiC DMOSFET 전력 소자 구조 최적화 시뮬레이션

최창용¹, 강민석¹, 방욱², 김상철², 김남균², 구상모^{1*}
 광운대학교¹, 한국전기연구원²

A simulation study on the structural optimization of a 800V 4H-SiC Power DMOSFET

Chang-Yong Choi¹, Wook Bang², Sang-Chul Kim², Nam-Kyun Kim², Sang-Mo Koo^{1*}
 Kwangwoon Univ.¹, Korea Electrotechnology Research Institute (KERI)²

Abstract : In this work, we demonstrate 800V 4H-SiC power DMOSFETs with several structural alterations to obtain a low threshold voltage (V_{TH}) and a high figure of merit ($V_B^2/R_{SP,ON}$). To optimize the device performance, we consider four design parameters; (a) the doping concentration (N_{CSL}) of current spreading layer (CSL) beneath the p-base region, (b) the thickness of p-base (t_{BASE}), (c) the doping concentration (N_J) and width (W_J) of a JFET region, (d) the doping concentration (N_{EPI}) and thickness (t_{EPI}) of epi-layer. These parameters are optimized using 2D numerical simulation and the 4H-SiC DMOSFET structure results in a threshold voltage (V_{TH}) below $\sim 3.8V$, and high figure of merit ($V_B^2/R_{SP,ON} > \sim 200MW/cm^2$) for a power MOSFET in $V_B \sim 800V$ range.

Key Words : 4H-SiC, DMOSFET, current spreading layer, JFET

1. 서론

SiC는 Si보다 절연 파괴강도가 약 10배 이상, 열전도도는 약 3배 이상, 포화드리프트 속도는 약 3배 크기 때문에 RF 기기, 자동차용 전력소자, 항공우주분야 등의 고온 극한 환경에서의 동작이 가능한 차세대 재료이다. [1]

SiC의 이러한 우수한 특성으로 인하여 고내압 PN 접합 다이오드, 쇼트키 장벽다이오드, MESFET, 전력 MOSFET, 고전압 대전력 사이리스터 등이 개발되어 사용되고 있다. [2-4] 이러한 고전력 소자를 제작함에 있어서 고려하여야 할 파라미터들은 굉장히 많다. 이러한 파라미터들을 실제 공정을 통하여 최적화를 수행할 수 있으나 시간적, 비용적 측면에서 매우 비효율적이다. 이러한 측면에서 시뮬레이션을 통하여 각종 파라미터 최적화 과정을 수행한다면 비용을 매우 단축시킬 수 있을 뿐만 아니라 시간적 측면에서도 효율적일 것으로 예상된다. 이에 본 연구에서는 2차원 수치해석 기반 시뮬레이터를 이용하여 고전력밀도용 800V급 4H-SiC DMOSFET의 구조의 설계 및 최적화를 수행하였다.

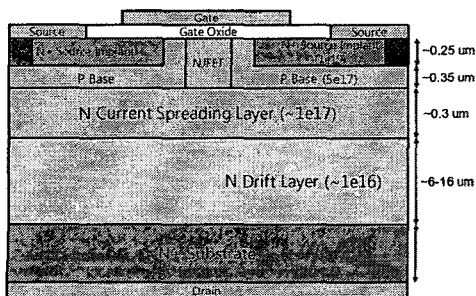


그림 1 4H-DMOSFET의 개념도

2. 실험

그림 1은 4H-SiC DMOSFET의 개념도를 나타내고 있다. 상부에는 게이트와 소스 전극이 위치하고 하단에 드레인 전극이 위치하는 수직형 MOSFET이다. 채널 길이는 DMOSFET 제작에 널리 이용되고 있는 self-aligned 공정에 의해 형성되는 전형적인 길이인 0.5um를 설정하였다. 시뮬레이션에 앞서 고려된 파라미터는 JFET 영역의 도핑 농도(N_J) 및 폭(W_J), pbase 영역의 두께 (t_b), current spreading layer (CSL)의 도핑 농도(N_{CSL}), 에피영역의 두께(t_{EPI}) 및 도핑 농도(N_{EPI})이다. 시뮬레이션은 대칭구조를 이용하여 수행되었다. 가장 영향이 큰 JFET 영역에 관한 최적화된 파라미터를 구한 후 목표로 하는 800V 급 소자를 설계하기 위해 t_b , N_{CSL} , t_{EPI} , N_{EPI} 순으로 파라미터를 바꾸어 가며 시뮬레이션이 수행되었다.

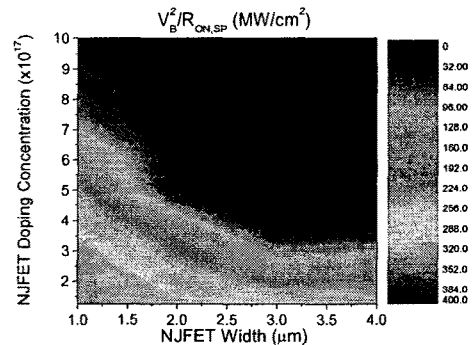


그림 2 JFET영역의 도핑 농도 및 폭에 따른 figure of merit ($V_B^2/R_{ON,SP}$)

3. 결과 및 검토

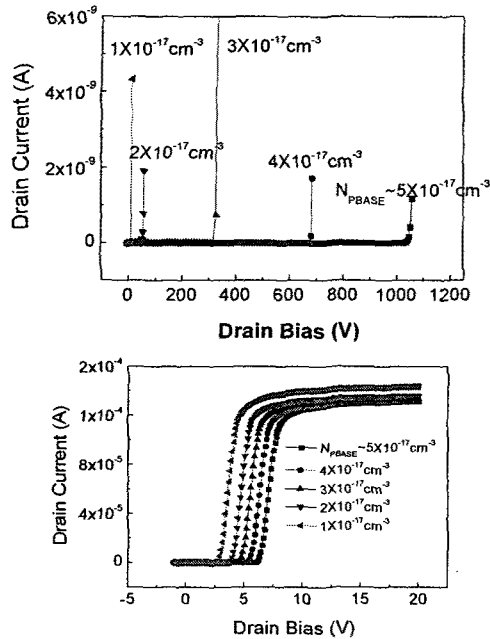


그림 3 (a) pbase영역의 도핑 농도에 따른 항복 전압 특성, (b) pbase영역의 도핑 농도에 따른 게이트 전달 특성

그림 2는 JFET영역의 도핑 농도 및 폭에 따른 V_B 및 $R_{ON,SP}$ 의 두 파라미터에 관한 소자의 figure of merit ($V_B^2/R_{ON,SP}$)을 나타내고 있다. JFET 영역의 최적화된 도핑 농도와 폭은 각각 약 $2.5 \times 10^{17} \text{cm}^{-3}$ 과 $1 \mu\text{m}$ 일 때이다. 이때의 항복전압은 약 1100V이다. 그러나 문턱전압(V_{TH})은 약 -6V 로 매우 높은 것을 볼 수 있다. 이는 채널 영역(pbase)의 높은 도핑 농도에 기인한다. 그림 3은 채널 영역의 도핑 농도를 $5 \times 10^{17} \text{cm}^{-3}$ 에서 $2 \times 10^{17} \text{cm}^{-3}$ 으로 순차적으로 낮추면서 시뮬레이션 한 결과이고 V_{TH} 를 6V에서 약 3.8V까지 낮출 수 있었다. 또한 항복 전압이 100V이하로 내려가는 것을 볼 수 있는데 이는 채널 도핑을 낮춤에 따라서 pbase영역에 발생하는 전계가 쉽게 4H-SiC의 임계 전계까지 증가하기 때문이다. 이는 pbase영역의 두께를 증가시킴으로써 내부 전계의 상승을 억제하여 항복전압 높일 수 있다. 그림 4는 pbase영역의 두께에 따른 시뮬레이션 결과이다. 항복전압은 목표로 하는 800V급을 달성하였고 V_{TH} 는 변화없이 3.8V로 유지되고 있는 것을 볼 수 있다. $R_{ON,SP}$ 에 영향을 주는 요소는 CSL의 도핑, t_{EPI} , N_{EPI} 이다. 그러나 CSL영역의 도핑 증가는 pbase영역의 전계를 증가시키는 요소이므로 에피영역의 두께 및 도핑을 변화시켜 $R_{ON,SP}$ 값을 최소화 할 수 있음을 확인하였다. 시뮬레이션이 수행된 구조의 도핑 프로파일은 실제 이온 주입을 수행한 구조의 프로파일과 다르기 때문에 이온주입된 도핑 프로파일을 구현할 수 있는 공정시뮬레이션을 이용하여 좀 더 정확한 시뮬레이션을 수행할 필요가 있다.

4. 결론

4H-SiC DMOSFET의 소자 성능의 최적화하기 위해 2차

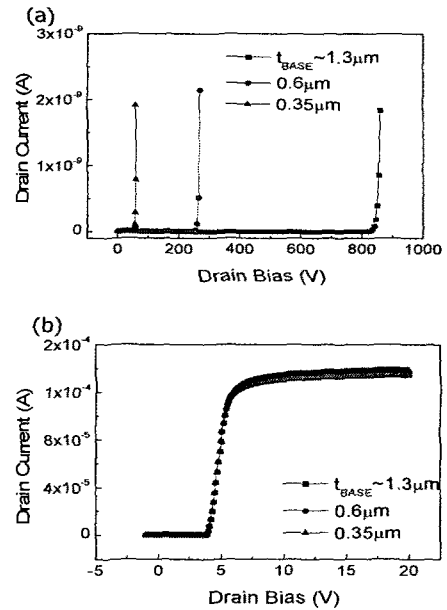


그림 4 pbase영역의 두께에 따른 항복 전압 특성, (b) base영역의 두께에 따른 게이트 전달 특성

원 수치해석 기반 시뮬레이션을 수행하였다. JFET영역의 도핑 농도 (N_j) 및 폭 (W_j)을 에 각각 $N_j \sim 2.5 \times 10^{17}$, $W_j \sim 1 \mu\text{m}$ 으로 했을 때 figure of merit 값이 최고값($\sim 384 \text{MW/cm}^2$)을 나타냈다. pbase영역에 의해 변화하는 문턱전압과 항복전압은 서로 트레이드-오프 관계에 있다. 문턱전압을 3~4V 정도로 낮추면 항복전압은 100V이하로 내려가게 되는데 이는 pbase영역의 두께를 증가시킴으로써 문턱전압을 3~4V로 유지하면서 목표로 하는 800V급 항복전압을 갖는 소자를 설계할 수 있다. 또한 에피영역의 두께와 농도를 조절함으로써 $R_{ON,SP}$ 값을 줄일 수 있었다.

감사의 글

본 논문은 산업자원부가 지원하는 국가 반도체연구사업인 "시스템집적반도체기반기술개발사업(시스템IC2010)을 통해 개발된 결과임을 밝힙니다.

참고 문헌

- [1] C. E. Weitzel, J. W. Palmour, C. H. Carter, Jr. K. Moore, Member, K. J. Nordquist, S. Allen, C.e Thero, M. Bhatnagar, IEEE Trans. on Elec. Dev., 43, 10, 1996
- [2] D. Alok, E. Arnold, R. Egloff, J. Barone, J. Murphy, R. Conrad, Burke, IEEE Elec. Dev. Lett., 22, 12, 577-578, 2001
- [3] J. Zhang, B. Zhang and Z. Li, IEEE Electronic Lett. 43 12 2007
- [4] R. Singh, D. C. Capell, A. R. Hefner, J. Lai, J. W. Palmour, IEEE Trans. on Elec. Dev., 49, 11, 2002