

Engineered tunnel barrier가 적용되고 전하포획층으로 HfO₂를 가진 비휘발성 메모리 소자의 특성 향상

박근호, 유희욱, 오세만, 김민수, 정종완*, 이영희, 정홍배, 조원주
 광운대학교, 세종대학교*

Enhancement of nonvolatile memory of performance using CRESTED tunneling barrier and high-k charge trap/bloking oxide layers

Goon-Ho Park, heewook you, Se-man Oh, Min-Soo Kim, Jongwan Jung*, Young-Hie Lee, Hong-Bay Chung, Won-Ju Cho
 Kwangwoon Univ., Sejong Univ.*

Abstract : The tunnel barrier engineered charge trap flash (TBE-CTF) non-volatile memory using CRESTED tunneling barrier was fabricated by stacking thin Si₃N₄ and SiO₂ dielectric layers. Moreover, high-k based HfO₂ charge trap layer and Al₂O₃ blocking layer were used for further improvement of the NVM (non-volatile memory) performances. The programming/erasing speed, endurance and data retention of TBE-CTF memory was evaluated.

Key Words : CRESTED barrier, CTF memory, SONOS, tunnel barrier engineering, high-k

1. 서론

기존의 부유 게이트 플래시 메모리는 40 nm 기술 노드 이하에서 셀간 간섭, 터널 절연막을 통한 누설전류 등에 의한 오동작으로 기술적인 한계에 부딪히게 되었다. 반면, SONOS구조의 전하 포획형의 비휘발성 메모리는 이러한 문제점을 해결할 수 있다는 장점을 가지고 있다. 하지만 SONOS구조의 전하 포획형의 비휘발성 메모리 소자 역시 고집적화에 따른 데이터 보존 시간과 쓰기/지우기 속도 사이의 trade off 문제점을 가지고 있다. 최근 이를 극복하기 위해 high-k물질과 low-k물질의 절연막을 적층한 터널 절연막과 금속 게이트를 이용한 연구가 많이 진행되고 있다. 적층 구조의 터널 절연막은 band-gap engineering의 효과로 빠른 기록/소거 동작이 가능하며, 물리적 두께 증가로 인한 데이터 보존시간이 향상된다. 또한 전하포획층에 high-k 물질을 적용하여 터널 절연막에 전계를 집중으로써 메모리 특성 향상을 이룰 수 있다.

본 연구에서는 SiO₂와 Si₃N₄를 적층시킨 engineered tunnel layer와 HfO₂의 전하포획층을 이용하여 비휘발성 메모리 소자의 제작 및 동작 특성을 연구하였다.

2. 실험

300 nm의 SiO₂가 증착된 (100), p-type bulk Si wafer를 이용하여 포토 리소그래피 공정으로 active영역을 형성한 후, source/drain영역의 형성을 위하여 LPCVD를 이용, 660°C에서 100 nm의 n+poly-Si를 증착하였다. RIE (reactive ion etch) 장비로 150 nm의 깊이의 Si etching공정을 진행하여 recessed-channel을 형성하였다. 다음으로 매우 얇은 SiO₂층과 Si₃N₄층을 적층시켜서 NON 구조의 터널 절연막을 형성하였다. NON 구조의 터널 절연막은 2 nm의 Si₃N₄, 3 nm의 LP-TEOS, 3 nm의 Si₃N₄로 이루어져 있다. 전하 축적층으로 8 nm의 HfO₂를 증착하였으며, 블로킹 층으로

20 nm의 Al₂O₃를 증착하였다. 마지막으로 스퍼터를 이용하여 150 nm의 TiN을 증착하여 게이트 전극을 형성하였다.

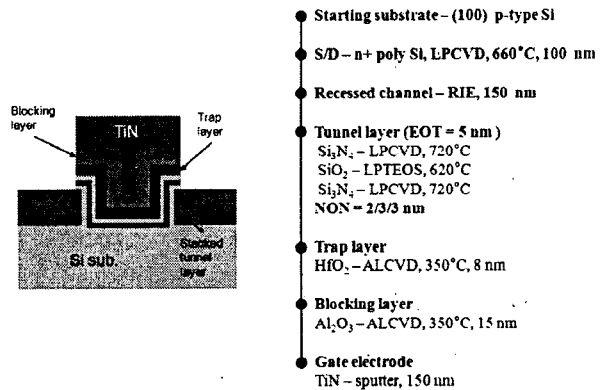


그림 1. TBE-CTF memory의 모식도

3. 결과 및 고찰

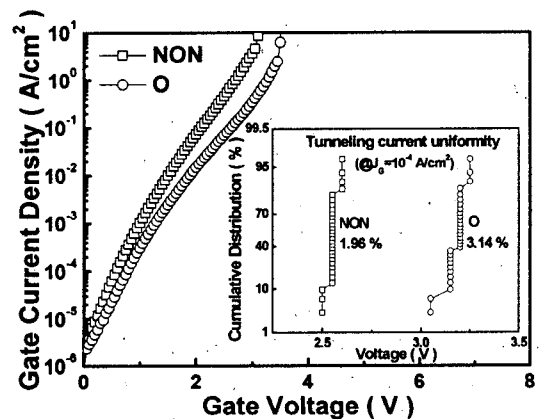


그림 2. NON과 SiO₂ 단일터널층의 I-V 특성

그림 2는 전하축적층과 블록킹 절연막을 갖지 않는 capacitor를 제작하여 전압에 따른 전류의 특성을 확인하였다. 단일 SiO₂ 층은 5 nm의 열산화막을 이용하였다. NON 터널층이 단일 SiO₂ 터널층 보다 물리적 두께가 증가했지만 터널링 전류는 증가된다. 이는 유전율이 다른 절연막의 적층에 의해 전계에 대한 전류의 민감도가 향상된다는 것을 의미한다. 또한 신뢰성 측면에서 균일한 터널링 전류를 얻을 수 있었다.

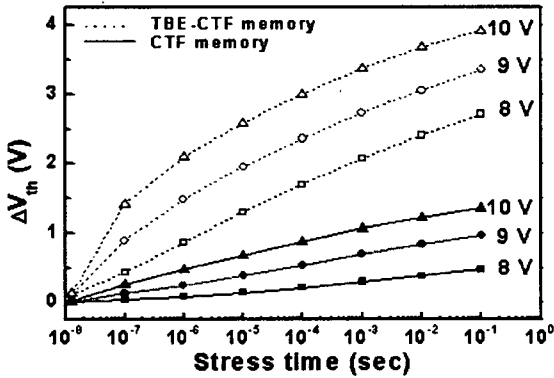


그림 3. NON과 SiO₂ 단일 터널층을 갖는 CTF 메모리 소자의 기록 특성

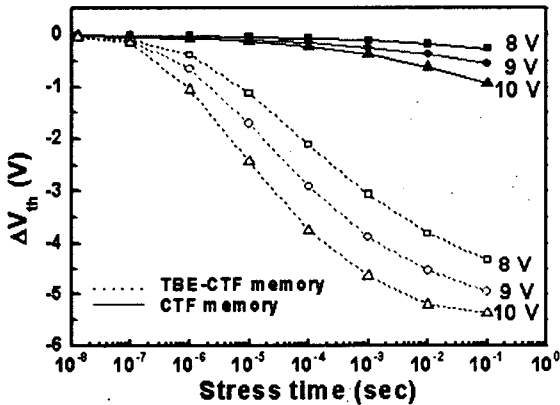


그림 4. NON과 SiO₂ 단일 터널층을 갖는 CTF 메모리 소자의 소거 특성

그림 3과 그림 4는 NON과 SiO₂ 단일 터널층을 갖는 CTF 메모리 소자의 기록 및 소거 특성을 나타내고 있다. 그림 3에서 기록모드시 SiO₂ 단일 터널층을 갖는 CTF 메모리 소자보다 적층된 NON 터널층을 갖는 TBE-CTF 메모리 소자의 기록속도가 크게 향상된 것을 볼 수 있다. 그림 4 또한 TBE-CTF 메모리 소자의 소거 특성이 SiO₂ 단일 터널층을 갖는 CTF 메모리 소자보다 크게 향상된 것을 볼 수 있다. 그림 3의 결과와 같이 적층된 터널 절연막은 단일층의 SiO₂ 보다 전계에 민감하여 기록 및 소거 시 더 큰 터널링 전류의 흐름으로 인해 향상된 특성을 보인다. 특히 소거 모드시에는 정공의 터널링 증가로 인해 매우 큰 특성 향상을 확인할 수 있었다.

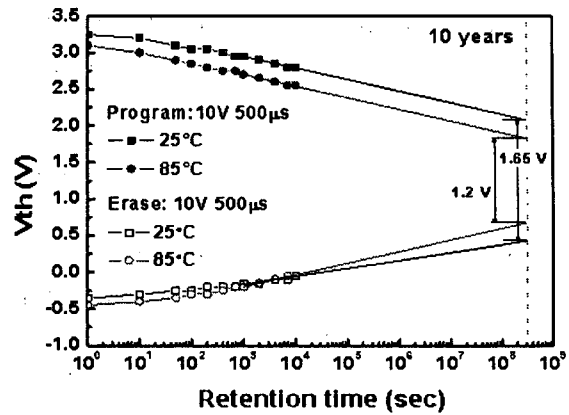


그림 5. NON을 갖는 CTF 메모리 소자의 데이터 보존 특성

그림 5는 적층된 NON 절연막을 갖는 TBE-CTF 메모리 소자의 데이터 보존 특성을 나타내고 있다. 상온에서 10년 이후에도 1.65 V의 메모리 윈도우를 나타냈었다. 특히 85°C의 고온에서도 1.2 V의 메모리 윈도우를 확인하였다. 이는 적층된 NON 절연막의 물리적 두께의 증가로 인해 누설전류가 감소되며 이로 인해 10년 이상의 데이터 보존 특성이 달성될 수 있음을 확인하였다.

4. 결론

비휘발성 메모리 소자의 특성 향상을 위해 engineered tunnel barrier 및 high-k charge trap layer의 적용에 따른 메모리 특성을 살펴보았다. TBE-CTF 메모리는 기존의 SiO₂ 단일층을 갖는 메모리 소자보다 향상된 기록 및 소거 특성을 나타내었고 데이터 보존 특성 또한 10년 이상을 만족하는 결과를 보였다. 따라서, 최적화된 터널층과 전하트랩층을 갖는 CTF 메모리는 앞으로 유망한 플래시 메모리 소자가 될 것이다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] K. K. Likharev, "Layered tunnel barriers for nonvolatile memory devices" Appl. Phys. Lett., vol. 73, no. 15, pp. 2137-2139, Oct. 1998
- [2] B.Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, and K. De Meyer, "VARIOT: a novel multilayer tunnel barrier concept for low-voltage nonvolatile memory devices" IEEE Electron Device Lett., vol. 24, no. 2, pp. 99-101, Feb. 2003.