

엔지니어드된 터널 절연막과 전하트랩층에 고유전 물질을 적용한 전하 트랩형 메모리 캐패시터의 메모리 특성 개선

김민수, 유희욱, 박군호, 오세만, 정종완*, 이영희, 정홍배, 조원주
광운대학교, 세종대학교*

Improvement in Memory Characteristics of Charge Trap Memory Capacitor with High-k Materials as Engineered Tunnel Dielectrics and Charge Trap Layer.

Min-Soo Kim, Hee-Wook You, Goon-Ho Park, Se-Man Oh, Jongwan Jung¹,
Young-Hie Lee, Hong-bay Chung, Won-Ju Cho.
Kwangwoon Univ, Sejong Univ¹.

Abstract : The memory characteristics of charge trap memory capacitor with high-k materials were investigated. I-V characteristics of the fabricated device with band gap engineered tunneling gate stacks consisted of SiO₂, ZrO₂, Al₂O₃ dielectrics were evaluated and compared with the one consisted of SiO₂ tunneling dielectric. The memory capacitor including engineered tunneling dielectrics of (Al₂O₃/ZrO₂/SiO₂) shows the fastest P/E speed and long data retention time.

Key Words : Direct tunneling, high-k, charge trap memory, engineered tunnel dielectrics

1. 서론

SiO₂는 성장이 쉽고 실리콘 기판과의 계면상태가 우수하며 열적으로 안정하여 전기적 특성이 우수한 장점이 있어 대부분의 MOS (metal-oxide-silicon) 소자의 게이트 산화막으로 사용되어왔다. 하지만, 계속되는 MOS 소자의 소형화에 따라 수 나노미터 이하의 SiO₂ 두께가 요구되면서 기존에 무시되던 direct tunneling에 의한 누설전류 증가현상이 심각하게 대두되었다[1]. 이러한 문제점은 메모리소자에서도 예외가 아니며 메모리소자의 데이터 보존시간과 신뢰성에 열화를 가져온다. 위의 문제를 해결하기 위해, 최근 고유전 (high-k) 물질과 SiO₂의 적층 구조를 이용한 터널 배리어 엔지니어링 (TBE: tunnel barrier engineering) 기술이 주목받고 있다[2,3]. 적층 구조의 터널링 절연막을 이용하면 낮은 구동전력에서도 빠른 동작 특성을 얻을 수 있고, 물리적 두께의 증가로 데이터 보존 특성 역시 향상된다. 또한 기존의 전하를 저장하던 floating gate 방식 대신에 고유전율의 HfO₂를 이용한 전하 트랩형 플래시 (CTF) 메모리를 사용하면 메모리 소자의 신뢰성과 쓰기 특성을 더욱 개선할 수 있다. 따라서, 본 논문에서는 SiO₂ (low-k)와 ZrO₂ 및 Al₂O₃ (high-k)가 적층된 터널링 절연막을 이용하여 전하트랩층에 HfO₂를 적용한 CTF 메모리의 데이터 쓰기/지우기 특성을 평가하였다.

2. 실험

(100) 면 방향의 n-type bulk-Si 기판을 사용하여 SiO₂/ZrO₂/SiO₂ (OZO), Al₂O₃/ZrO₂/SiO₂, (AZO), Al₂O₃/ZrO₂/Al₂O₃ (AZA) 구조의 다층 절연막을 포함하는 전하 트랩형 메모리 캐패시터를 각각 제작하였다. 전하트랩층과 블럭킹 절연막으로 각각 8 nm의 HfO₂와 20 nm의

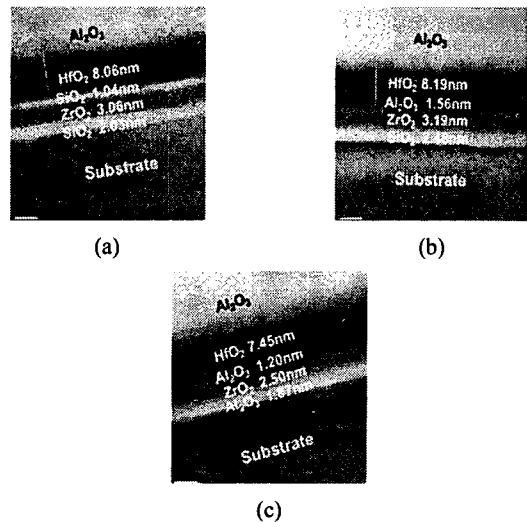


그림 1. (a)OZO, (b)AZO, (c)AZA 다층 터널링 절연막을 포함하는 메모리 캐패시터의 TEM 사진.

Al₂O₃를 동일하게 사용하였다. OZO, AZO, AZA 구조의 다층 터널링 절연막은 모두 atomic layer deposition (ALD) 방법으로 275°C에서 증착시켰다. 그림 1은 제작된 소자의 transmission electron microscope (TEM) 사진을 나타내며, 각 층의 두께는 그림 1에서와 같다. 다음으로 전하 트랩층의 HfO₂를 ALD방법으로 300°C에서 8 nm 증착시킨 뒤, 블럭킹 절연막으로 Al₂O₃를 ALD 방법으로 300°C에서 20 nm 증착시켰다. 상부 전극으로는 TiN을 사용하였으며, DC sputter system을 이용하여 상온에서 150 nm 증착시켰다. 마지막으로 포토리소그래피를 통하여 310 × 230 μm²의 면적을 가지는 패턴을 형성하였으며, 300°C, 2%의 H₂가 혼합된 N₂ 분위기에서 30분간 후속 열처리를 실시하였다. Reference sample로 5.1 nm의 LPCVD SiO₂ 단층 절연막을 가지는 메모리 캐패시터를 제작하였다. 전하트랩층

과 블로킹 절연막, 상부 전극은 TBE 메모리 소자와 동일한 물질과 공정을 사용하였다. 각각의 메모리 캐패시터의 전기적 특성을 평가하여 비교 분석하였다. 측정 및 분석에는 HP사의 4284A LCR meter를 이용하였다.

3. 결과 및 검토

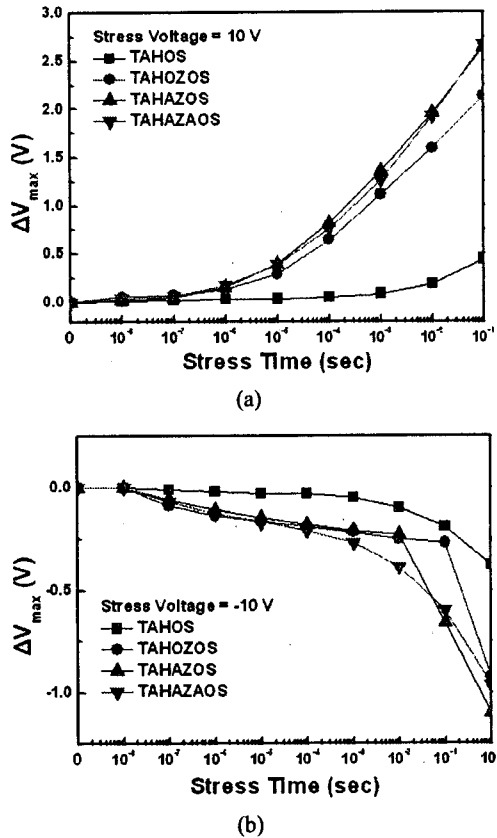


그림 2. ± 10 V의 전압 인가시간에 따른 (a)쓰기 및 (b)지우기 특성.

그림 2는 TiN-Al₂O₃-HfO₂-SiO₂-Si (TAHOS) 구조의 SiO₂ 단층 터널링 절연막을 가지는 메모리 캐패시터와 TiN-Al₂O₃-HfO₂-(SiO₂/ZrO₂/SiO₂ or Al₂O₃/ZrO₂/SiO₂ or Al₂O₃/ZrO₂/Al₂O₃)-Si (TAHOZOS or TAHAZOS or TAHAZAOS) 구조를 가지는 TBE 메모리 캐패시터의 인가되는 전압 시간에 따른 쓰기 및 지우기 특성을 나타낸다. 동일한 10 V의 쓰기 전압을 인가하였을 때 단층의 터널링 절연막을 가지는 메모리 소자보다 적층 터널링 절연막을 가지는 TBE 메모리 소자가 1000배 이상 빠른 쓰기 특성을 보였으며 100 msec의 전압 인가시간에서 1.5 V이상의 voltage shift 차이를 나타내었다. -10 V의 지우기 전압 인가 시에는 모든 메모리 소자가 10 msec 이상의 전압 인가시간에서 voltage shift를 보였으며 TBE 메모리 소자가 더 큰 voltage shift를 보였다. 10 msec 이전의 전압 인가시간에서 TBE 메모리 소자가 voltage shift를 나타내는 특성은 지우기보다는 데이터 보존 특성에서의 전하손실에 의한 것으로 판단되며 그림 3을 통하여 이를 판단할 수 있다.

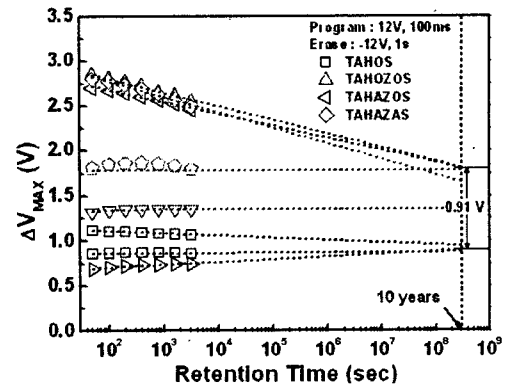


그림 3. 제작된 메모리 소자의 데이터 보존 특성.

그림 3은 제작된 메모리 소자의 데이터 보존특성을 보여준다. TBE 메모리 소자가 동일한 쓰기/지우기 조건에서 SiO₂ 단층 터널링 절연막을 가지는 메모리 소자보다 큰 메모리 윈도우를 나타내었다. 그 중 TAHAZOS 구조의 소자가 가장 큰 메모리 윈도우를 나타내었으며 10년 후에도 약 1V의 메모리 윈도우를 유지하였다. 하지만 TBE 소자에서 쓰기 동작 후에 전하 손실이 크게 나타났으며 추가적인 특성 개선 방법의 연구가 필요하다.

4. 결론

본 연구는 high-k 물질과 적층 구조의 터널링 절연막을 적용한 TAHOZOS, TAHAZOS, TAHAZAS 구조의 TBE 메모리 캐패시터를 제작하여 메모리 특성을 비교 분석하였다. 그 중, TAHAZOS 구조의 소자가 단층의 SiO₂ 터널링 절연막을 가지는 메모리 캐패시터보다 큰 메모리 윈도우와 빠른 쓰기/지우기 특성을 보였으며 10년의 데이터 보존시간을 유지하였다. 따라서 ZrO₂와 Al₂O₃를 이용한 TBE 기술을 적용하여 비휘발성 플래시 메모리를 제작하면 스케일링 다운의 한계를 넘어 고속 및 고집적의 소자를 구현 가능할 것으로 판단된다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] S. Lai, "Tunnel oxide and ETOXTM flash scaling limitation", Int'l Non-Volatile Memory Technology Conf, p. 6-7, 1998
- [2] K. Licharev, "Layered tunnel barriers for non-volatile memory devices", Appl. Phys. Lett., vol. 72, No. 15, p. 2137-2139, 1998.
- [4] B. Govoreanu, P. Blomme, M. Rosmeulen, J. V. Houdt, and K. D. Meyer, "VARIOT: A novel multilevel tunnel barrier concept for low-voltage non-volatile memory devices", IEEE Electron Device Lett., Vol. 24, No. 2, p. 99-101, 2003