

## 코어 기반의 마이크로 트랜스포머의 시뮬레이션

조세준, 차두열, 이재혁, 장성필

인하 마이크로/나노 디바이스 시스템 연구실, 인하대학교

### Simulation for a Core based micro transformer

Se-Jun Cho, Doo-Yeol Cha, Jai-Hyuk Lee, Sung-Pil Chang

IMDS Lab, Inha Univ

**Abstract :** 현재 전자기기의 소형화 추세에 맞물려 수동 소자중의 하나인 트랜스포머의 소형화가 큰 이슈가 되고 있다. 본 논문에서는 실리콘 웨이퍼 위에 트랜스포머와의 절연층을 삽입 하여 기판의 에디 커런트로 오는 앰플리 손실의 영향을 줄이고 중간 코어를 투자율이 높은 퍼멀로이로 설계하여 1차 코일과 2차 코일의 턴수의 비를 기준으로 1:1인 트랜스포머(3/3, 5/5, 7/7)의 인덕턴스 및 상호 인덕턴스를 시뮬레이션 하였다. 트랜스포머의 최대 크기는 1mm X 1.95mm 이고 선풍과 선간 간격, post의 높이는 각각 50um 이다. 이때 삽입 손실은 10GHz에서 0.12dB의 낮은 손실 값을 나타내었다.

**Key Words :** 수동 소자, Micro Transformer, Core, MEMS

### 1. 서 론

현재 휴대용 소형 무선 호출기, 휴대용 무선 단말기, GPS수신기, 캠코더, 무선 주파수, 그리고 혼합된 신호 시스템 등과 같은 많은 전자기기 생산품에서 프랜스포머와 같은 수동 소자들이 IC칩들과 결합되어 사용됨에 따라 시스템의 단가, 크기, 무게 그리고 신뢰성 면에서 개선이 요구 되고 있다.

현재까지 트랜스포머의 성능을 향상시키는 방법으로 코일 하부의 기판을 식각하여 기판과의 기생 캐패시턴스를 줄이는 방법이 제안된 바 있는데, 이러한 방법들은 코일 하부의 기판을 식각하기 때문에 코일 하부에 회로를 집적하지 못하며, 기판을 식각하는 공정이 집적회로 공정과 호환되기 어렵고, 패키지에 많은 문제를 일으킬 수 있다.

따라서 기존의 CMOS 공정을 이용한 트랜스포머의 수동 소자와 기판 사이에 캐패시턴스 커플링과 전자기 효과(와전류 등등)으로 인해 트랜스포머 효율에 나쁜 영향을 미치는 점을 보완하기 위해 실리콘 웨이퍼 위에 SU-8을 5um 코팅한 후 경화 시킨 다음 그 위에 트랜스포머의 구조물을 만듦으로써 기판에서 발생하는 손실을 줄여주는 슬레노이드 형태의 트랜스포머를 설계 했다.

본 논문에서는 GHz대역에서 전자기 유도를 위해 필요한 Magnetic Core를 삽입하고, MEMS 공정을 이용한 트랜스포머를 디자인 하여, 이를 시뮬레이션을 통해 트랜스포머의 성능을 측정해보고자 한다.

### 2. 본 론

트랜스포머는 한국말로 하면 변압기로서 1차 코일과 2차 코일로 이루어져 있다. 1차 코일에 연결된 전원에 교류전원을 인가하면 변화하는 전류에 따라서 1차 코일에

형성되는 자기장도 변화한다. 1차 축의 자기장의 변화가 2차 축의 자기장도 변화시키고 2차 축에 유도된 자기장에 의해서 유도전류가 흐르게 되고 유도기전력이 형성된다. 다음은 성능 측정을 위한 S파라미터와 상호 인덕턴스에 대한 식이다.

$$S_{ab} = \frac{V_a^-}{V_b^+} \quad S_{matrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \quad (2-1)$$

$$V = -M \frac{\Delta l}{\Delta t} \quad (2-2)$$

여기서 M이 상호유도계수, V는 유도기전력,  $\Delta l$ 는 전류변화량,  $\Delta t$ 는 시간변화량이다.

다음 그림 1은 코어 기반의 트랜스포머의 시뮬레이션을 위해 모델링 한 모습입니다.

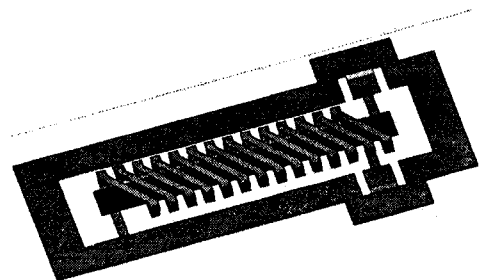


그림 1. 시뮬레이션을 위한 트랜스포머 모델

트랜스포머 시뮬레이션을 위한 구조 및 모델 파라미터들은 그림 2에 나타나 있다.

## 참고 문헌

- [1] Sung-Tae Kim, Doo-Yeol Cha, Min-Suck Kang, Se-Jun Cho, Sung-Pil Jang, "Fabrication of the Micromachined Transformer based on Air Core for the Application of Wireless Power Transmission", Journal of Korean Institute of Electrical and Electronic Material Engineers, Vol. 22, NO.1, p.1, January 2008.
- [2] Jumril Yunas, Burhanuddin Yeop Majlis, Smeed, "Comparative study of stack interwinding micro-transformers on silicon monolithic", Microelectronics Journal, 2008 Elsevier Ltd, 0026-2692.
- [3] Y. S. Choi, J. B. Yoon, B. I. Kim, "A high performance MEMS transformer for silicon RF ICs", Proc. IEEE Micro Electro Mechanical Systems, 2002. The Fifteenth IEEE International Conference on, 653-656

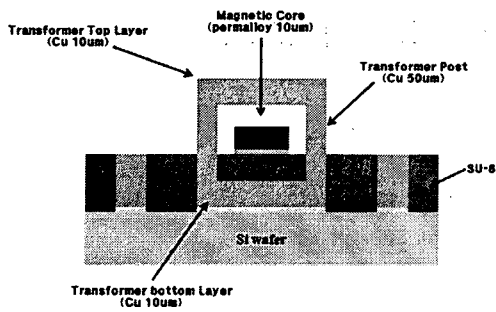


그림 2. MEMS 공정을 이용한 트랜스포머 단면도

트랜스포머의 선폭과 선간 간격 그리고 post의 높이는 각각 50um이다. 전체적인 크기는 3/3일 때 1.55mm X 1mm, 5/5일 때 1.95mm X 1mm, 7/7일 때 2.35mm X 1mm이다. 이 때 코어의 크기는 7/7 기준으로 1.65mm X 0.2mm로 했으며 전체적인 구조물 밑에 절연층인 SU-8이 5um 코팅되어 있으므로 이를 감안하여 시뮬레이션을 하였다.

## 3. 결과 및 고찰

트랜스포머에서 기판에 의한 손실과 맵들이 전류는 S21 파라미터에 영향을 준다. 이를 줄이기 위해 MEMS공정을 이용하여 Solenoid 형태의 Transformer를 설계하였고, 트랜스포머의 1차코일과 2차 코일의 권선 수를 달리하여 시뮬레이션 해 보았다.

그림 3에서 권선수가 7턴인 코어기반의 마이크로 트랜스포머의 삽입 손실은 10GHz에서 가장 작은 0.12dB의 값을 알 수 있다.

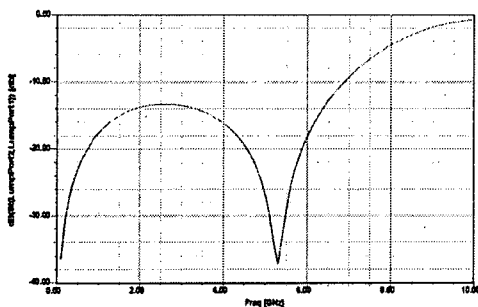


그림 3. 1:1 트랜스포머의 S21의 주파수 특성

## 4. 결론

GHz대역에서 SU-8이 절연층으로 코팅된 실리콘 기판 위에 MEMS 공정을 이용한 트랜스포머를 시뮬레이션 해 본 결과 낮은 삽입 손실을 갖는 트랜스포머를 설계할 수 있었다.

## 감사의 글

본 연구는 인하대학교 집적형 광자기술센터의 "OPCB 설계 및 표준화" 연구사업 지원으로 수행됨.