Ge 농도에 따른 SGOI MOSFET의 전기적 특성

오준석, 김민수, 정종완*, 이영희, 정홍배, 조원주
광운대학교 전자재료공학과, 세종대학교 나노신소재공학과*

Electrical characteristics of SGOI MOSFET with various Ge mole fractions

Jun-Seok Oh, Min-Soo Kim, JongWan Jung*, Young-Hie Lee, Hong-Bay Chung and Won-Ju Cho
Kwangwoon Univ, *Sejong Univ.

Abstract : SGOI MOSFETs with various Ge mole fractions were fabricated and compared to the SOI MOSFET. SGOI MOSFETs have a lager drain current and higher effective mobility than the SOI MOSFET as increased Ge mole fractions. The lattice constant difference causes lattice mismatch between the SiGe layer and the top-Si layer during the top-Si layer growth. However, SGOI MOSFETs have a lager leakage current at subthreshold region. Also, leakage current at subthreshold region increased with Ge mole fractions. This is attributable to the crystalline defects due to the lattice mismatch between the SiGe layer and the top-Si layer.

Key Words : SGOI, SGOI MOSFET, Effective mobility, Ge mole fraction

1. 서 론

반도체 소자는 지난 수십 년 동안 무어의 법칙 (moore's law)대로 꾸준히 scale down 되었다. 하지만 반도체 집적 회로의 집적도가 증가하면서 소자크기는 점진적으로 감소하고 이에 따라 여러 가지 문제점 즉, 기생 성분의 증가, 단채널 효과, 항복전압의 감소 등이 나타나게 되었다. 위와 같은 문제점을 극복하기 위해서 구조적인 변경이나 새로운 물질에 대한 연구가 활발히 진행되고 있다. 위의 문제점을 해결하기 위해서 기존의 Bulk MOSFET (Metal-Oxdie-Semiconductor-Filed-Effect-Transistor)보다 20% ~ 40%의 더 빠른 동작 속도를 가지면서 2~4배 정도 낮은 전력을 소비하는 SOI (Silicon-On-Insulator) 구조가 등장하게 되었다. SOI 구조는 상부 실리콘층과 하부 기판층 사이에 매몰 산화막 (buried oxide)층이 형성되어 있어서 전기적으로 상부 실리콘층과 하부 기판층이 완전히 절연되어 있는 상태이다. 이러한 매몰산화막 층의 존재 때문에 소자의 고속화, 저전력화, 집적도 향상 이라는 장점을 얻을 수 있고 CMOS 에서의 래치 업 효과를 구조적으로 방지할 수 있다. 하지만 PD (Partially Depletion) SOI 소자의 포화 전류의 급격한 증가를 발생 시키는 kink effect[1] 문제점을 가지고 있기 때문에 FD (Fully depletion) SOI 가 등장하게 되었다. 하지만 상부실리콘의 두께가 20nm 이하로 줄어들게 되면 반전층 채널 두께의 폭이 함께 줄어들기 때문에 전자의 phonon limited 이동도가 함께 줄어드는 문제가 발생한다.[2] 이러한 문제를 해결하기 위하여 SGOI (Silicon-Germanium-On-Insulator) 구조가 등장하게 되었다.SGOI 구조는 SOI 구조와 유사한 구조를 갖고 있으며, 상부 실리콘층 대신에 SiGe층을 사용하고 최상부층에 변형(strained) 실리콘을 성장시킴으로써 채널에서의 전하 이동도 특성을 크게 개선시켜 고속 동작을 하는 소자를 제작할 수 있다.

본 연구에서는 Ge 농도를 다르게 하여 SGOI MOSFET를 제작하고 전기적 특성을 분석하였다. 또한 SOI MOSFET과의 비교를 위하여 SOI MOSFET을 제작하고 비교, 분석하였다.

2. 실 험

SGOI MOSFET 소자는 SGOI 기판위에 제작되었다. 상부 실리콘의 두께는 약 10 nm 이며 SiGe층과 매몰산화막 (buried oxide) 층의 두께는 각각 100 nm, 270 nm이었고, SiGe층의 Ge농도는 10, 15, 20 %로 하였다. 또한, 비교를 위하여 상부 실리콘 층과 매몰 산화막 층의 두께가 각각 100 nm, 270 nm 인 SOI MOSFET 소자를 제작하였다. RCA 세정을 이용하여 표면을 세척한 후에 소자 형성 (active) 영역을 포토리소그래피 공정을 통하여 형성시켰고, 880°C, O_2 분위기에서 약 5 nm 의 두께를 갖는 게이트 산화막을 성장시켰다. 성장시킨 게이트 산화막 위에 LPCVD (Low- Pressure Chemical Vapor Deposition) 장비를 이용하여 약 100 nm 의 두께를 갖는 인 도핑 다결정 실리콘(phosphorus doped poly-Si)을 증착하였다. 이어서, 게이트 영역을 형성하기 위해서 포토리소그래피 공정을 실시하였고 RIE (Reactive Ion Etching)를 이용하여 건식각 방법을 실시하여 게이트 전극을 형성하였다. 게이트 영역이 형성된 소자의 소스/드레인 도핑을 실시하기 위하여 450°C, PH_3 분위기에서 플라즈마 도핑 방법을 이용하여 소스와 드레인에 n+-도핑을 실시하였다. 도핑된 소스와 드레인의 활성화를 위하여 850°C, O_2/H_2 분위기에서 급속열처리공정을 실시하였고, 최종적으로 H_2/N_2 분위기에서 450°C, 30분간 열처리를 실시하였다. SGOI MOSFET과 SOI MOSFET 모두 위의 실험방법을 적용하였다. 측정 및 분석에는 Hewlett-packard사의 4156B semiconductor parameter analyzer를 사용하였다.

3. 결과 및 검토

그림 1은 제작된 SOI와 SGOI MOSFET의 I_D-V_G 특성을 나타낸다. SOI MOSFET과 비교하여 SGOI MOSFET은 오프상태에서 누설전류가 증가한 것을 확인할 수 있다. 또한 Ge의 농도가 증가할수록 누설전류 역시 커지는 것을 확인할 수 있다. 누설전류의 증가는 상부 실리콘층과 SiGe층 사이의 계면에 존재하는 격자 불일치(lattice mismatch)에 의한 결정 결함 및 계면 준위밀도에 기인하며 이러한 격자 불일치는 SiGe층의 농도가 높아질수록 더 많이 발견된다.[3] 또한 그림 2에서 드레인 전류는 Ge농도가 증가할수록 더 많이 흐르는 것을 확인할 수 있었다. 이러한 현상 역시 계면의 격자 불일치에 기인하며 유효 전자이동도가 증가되어 나타나는 현상이라고 할 수 있다. 그림 3은 제작된 SOI와 SGOI MOSFET의 유효 전자이동도 특성을 비교한 그림이다. Ge의 농도가 증가할수록 유효 전자이동도 역시 증가하는 것을 확인할 수 있다.

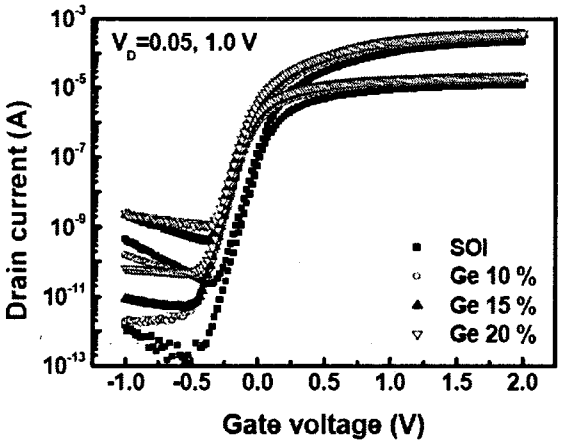

그림 1. SOI와 SGOI MOSFET의 I_D-V_G 특성.

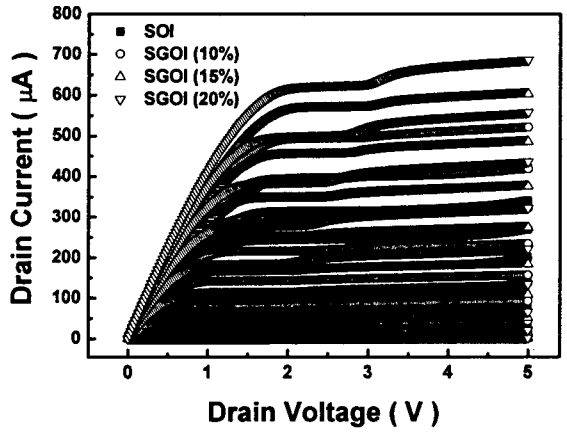

그림 2. SOI와 SGOI MOSFET의 I_D-V_D 특성.

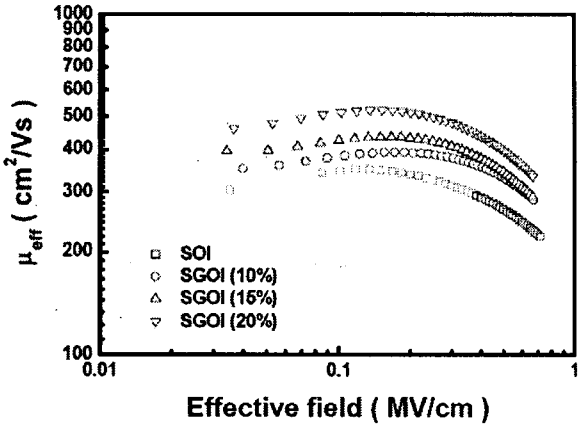

그림 3. SOI와 SGOI MOSFET의 유효 전자이동도 특성.

4. 결 론

본 연구에서는 SGOI MOSFET을 제작하여 전기적인 특성을 분석하고 SOI MOSFET과 비교하였다. 오프상태에서 Ge의 농도가 증가할수록 누설전류가 증가하는 것을 확인하였고 드레인 포화전류 역시 Ge의 농도가 증가할수록 높은 전류가 흐르는 것을 확인하였다. 또한 유효 전자이동도 역시 Ge의 농도가 증가할수록 높은 유효 전자이동도를 갖는 것을 확인하였다. 이는 모두 격자 불일치에 기인한 현상으로 해석될 수 있고, SGOI MOSFET을 차세대 초고속 및 저전력 소자로 이용하기 위해서는 오프상태에서의 누설전류의 개선이 필요하다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

[1] M. Haond, J.P. Colinge "Alalysis of drain breakdown voltage in SOI n-channel MOSFETs", IEEE Electron Device Lett., Vol.25, p. 1640, 1989

[2] S. Takagi, J. Koga, and A. Toriumi, IEDM 97, pp 219-222v

[3] Jea-Gun park, et al. IEEE International SOI conference, 2006, pp. 47`48