

Ge 농도에 따른 SGOI (Silicon-Germanium-On-Insulator)

1T-DRAM의 메모리 특성

오준석, 김민수, 정종완*, 이영희, 정홍배, 조원주
 광운대학교 전자재료공학과, 세종대학교 나노신소재공학과*

Memory characteristics of SGOI (Silicon-Germanium-On-Insulator)

1T-DRAM with various Ge mole fractions

Jun-Seok Oh, Min-Soo Kim, JongWan Jung*, Young-Hie Lee, Hong-Bay Chung and Won-Ju Cho
 Kwangwoon Univ, *Sejong Univ.

Abstract : SGOI 1T-DRAM cells with various Ge mole fractions were fabricated and compared to the SOI 1T-DRAM cell. SGOI 1T-DRAM cells have a higher leakage current than SOI 1T-DRAM cell at subthreshold region. The leakage current due to crystalline defects and interface states at Si/SiGe increased with Ge mole. This phenomenon causes sensing margin and the retention time of SGOI 1T-DRAMs decreased with increase of Ge mole fraction.

Key Words : SGOI, SGOI MOSFET, 1T-DRAM, Kink effect

1. 서 론

DRAM(Dynamic Random Access Memory)은 하나의 트랜지스터(Transistor)와 캐패시터(Capacitor)로 구성된 1T-1C의 구조를 가지고 있으며 작은 셀 사이즈($6F^2$)와 빠른 동작속도를 가지고 있다. 하지만 DRAM은 충분한 저장 캐패시턴스 (storage capacitance)를 얻기 위해서 스택(stack) 캐패시터, 또는 깊은 트렌치(deep trench) 구조의 캐패시터가 요구되고 있고, 최근에 소자의 고속화가 진행되고 집적도가 증가하면서 DRAM의 1T-1C 구조에서 위와 같은 캐패시터의 scaling down은 한계점에 이르고 있다. 이와 같은 문제점을 해결하기 위하여 많은 연구가 진행되고 있고 해결하기 위해서 제안된 몇 가지 소자의 구조 중에서 하나의 트랜지스터만으로 DRAM 동작을 할 수 있는 1T-DRAM이 가장 유력한 후보라고 할 수 있다. 1T-DRAM 동작은 기본적으로 SOI (Silicon-On-Insulator) MOSFET (Metal-Oxide-Semiconductor-Field-Effect-Transistor)에서 동작하는 것으로 알려져 있고, 현재 이에 대한 많은 연구가 이루어지고 있다. 1T-DRAM의 동작은 SOI 구조에서 상부 실리콘층이 매몰 산화막층 (buried oxide)으로 인하여 전기적으로 완벽하게 절연되어 있기 때문에 일어나는 비이상적인 효과인 kink effect 또는 GIDL(Gate Induce Drain-Leakage) 현상을 이용하여 동작한다.[1],[2]

한편 SGOI MOSFET은 소자의 고속화 및 고집적화가 진행되면서 기존의 bulk MOSFET 및 SOI MOSFET을 대체할 차세대 소자로서 각광받고 있으므로, 1T-DRAM으로의 응용도 기대된다. 하지만, 아직까지 SGOI 기판의 1T-DRAM 응용에 관한 연구는 거의 전무한 실정이다. [3] 따라서 본 논문에서는 SGOI 기판의 Ge 농도에 따른 MOSFET의 전기적 특성 및 1T-DRAM의 메모리 특성을 확인하였고, SOI 1T-DRAM cell을 제작하여 특성을 비교하여 분석하였다.

2. 실험

SGOI 1T-DRAM 소자는 SGOI 기판위에 제작되었다. 상부 실리콘의 두께는 약 10 nm이며 SiGe층과 매몰산화막 (buried oxide) 층의 두께는 각각 100 nm, 270 nm이었고, SiGe층의 Ge농도는 10, 15, 20 %로 하였다. 또한, 비교를 위하여 상부 실리콘 층과 매몰 산화막 층의 두께가 각각 100 nm, 270 nm 인 SOI 1T-DRAM 소자를 제작하였다. RCA 세정을 이용하여 표면을 세척한 후에 소자 형성 (active) 영역을 포토리소그래피 공정을 통하여 형성시켰고, 880°C, O₂ 분위기에서 약 5 nm의 두께를 갖는 게이트 산화막을 성장시켰다. 성장시킨 게이트 산화막 위에 LPCVD (Low- Pressure Chemical Vapor Deposition) 장비를 이용하여 약 100 nm의 두께를 갖는 인 도핑 다결정 실리콘(phosphorus doped poly-Si)을 증착하였다. 이어서, 게이트 영역을 형성하기 위해서 포토리소그래피 공정을 실시하였고 RIE (Reactive Ion Etching)를 이용하여 건식각 방법을 실시하여 게이트 전극을 형성하였다. 게이트 영역이 형성된 소자의 소스/드레인 도핑을 실시하기 위하여 450°C, PH₃ 분위기에서 플라즈마 도핑 방법을 이용하여 소스와 드레인에 n+-도핑을 실시하였다. 도핑된 소스와 드레인의 활성화를 위하여 850°C, O₂/H₂ 분위기에서 급속열처리공정을 실시하였고, 최종적으로 H₂/N₂ 분위기에서 450°C, 30분간 열처리를 실시하였다. SGOI 1T-DRAM과 SOI 1T-DRAM 모두 위의 실험방법을 적용하였다. 측정 및 분석에는 Hewlett-packard사의 4156B semiconductor parameter analyzer를 사용하였다.

3. 결과 및 검토

그림 1은 제작된 SOI 1T-DRAM cell과 SGOI 1T-DRAM cell의 I_D-V_G 특성을 나타낸다. SOI 1T-DRAM

cell과 비교하여 SGOI 1T-DRAM cell은 오프상태에서 누설 전류가 증가한 것을 확인할 수 있으며, Ge의 농도가 증가할수록 누설전류 역시 커지는 것을 확인할 수 있다. 누설 전류의 증가는 상부 실리콘층과 SiGe층 사이의 계면에 존재하는 격자 불일치(lattice mismatch)에 의한 결정 결함 및 계면 준위밀도에 기인하며 이러한 격자 불일치는 SiGe층의 농도가 높아질수록 더 많이 발견된다.[4] 그림 2는 제작된 소자들의 I_D-V_D 특성을 나타낸다. 드레인 전류는 Ge 농도가 증가할수록 더 많이 흐르는 것을 확인할 수 있다. 또한 후면 게이트 바이어스를 인가한 경우 kink effect의 발생을 확인하였다. 그림 3은 제작된 SOI 1T-DRAM cell과 SGOI 1T-DRAM cell의 1T-DRAM 특성을 나타낸다. Ge의 농도가 증가할수록 sensing margin(ΔI_s)은 감소하는 것을 확인하였다. 이러한 sensing margin의 감소는 농도가 증가함에 따라서 격자 불일치 역시 증가하고 이로 인한 결정 결함의 증가에 따른 누설전류가 증가하였기 때문이다.

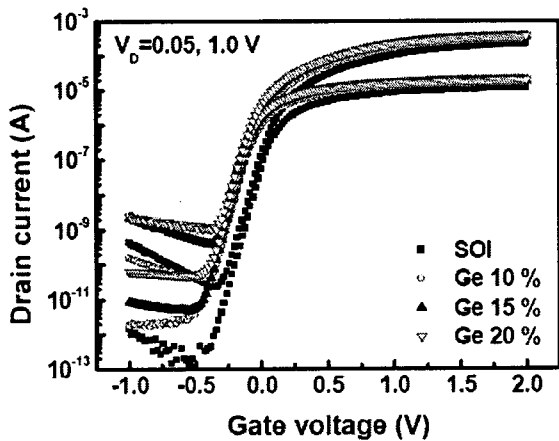


그림 1. SOI와 SGOI MOSFET의 I_D-V_G 특성.

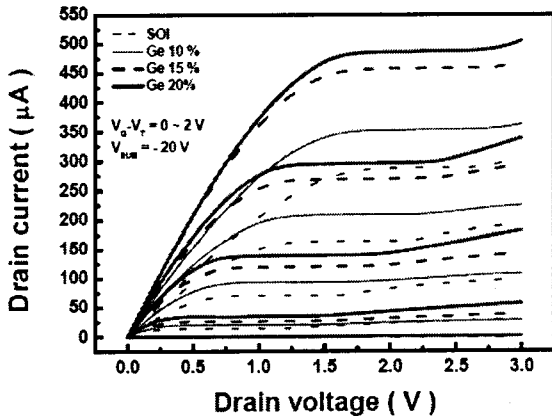


그림 2. SOI와 SGOI 1T-DRAM cell의 I_D-V_D 특성.

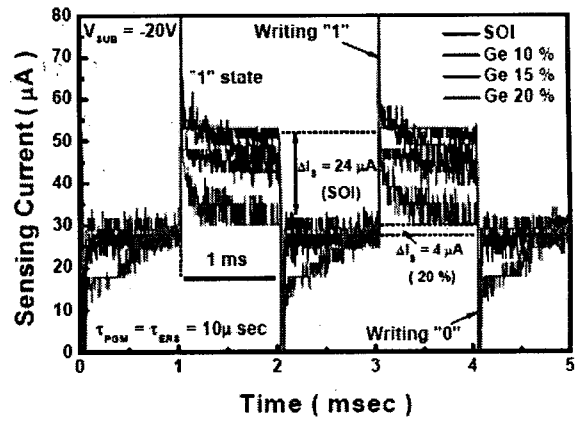


그림 3. SOI와 SGOI 1T-DRAM 리텐션 특성 및 sensing margin 특성

4. 결론

본 연구에서는 1T-DRAM cell을 제작하여 1T-DRAM의 메모리 특성을 분석하고 SOI 1T-DRAM cell과 비교하였다. 오프상태에서 Ge의 농도가 증가할수록 누설전류가 증가하는 것을 확인하였고 드레인 포화전류 역시 Ge의 농도가 증가할수록 높은 전류가 흐르는 것을 확인하였다. 또한 1T-DRAM의 리텐션 특성과 sensing margin이 열화되는 것을 확인하였다. 이는 모두 상부 실리콘층과 SiGe층 사이 계면의 결정결함에 의한 것으로 SGOI 1T-DRAM cell의 특성을 개선하기 위해서는 상부 실리콘층과 SiGe층 사이의 계면특성 개선이 필요하다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] S. Okhonin, et al. IEEE International SOI conference, 2001, pp. 153-154
- [2] S. Okhonin, et al. IEDM, 2003, pp. 913-916
- [3] J. -w. Han, et al. IEDM 15-17 Dec, 2008, pp. 1-4
- [4] Jea-Gun park, et al. IEEE International SOI conference, 2006, pp. 47-48