

Strained-Silicon-on-Insulator (sSOI) 기판을 이용한 Capacitorless 1-Transistor DRAM 소자

김민수, 오준석, 정종완*, 이영희, 정홍배, 조원주
광운대학교, 세종대학교*

A Capacitorless 1-Transistor DRAM Device using Strained-Silicon-on-Insulator (sSOI) Substrate

Min-Soo Kim, Jun-Seok Oh, Jongwan Jung¹, Young-Hie Lee, Hong-bay Chung, Won-Ju Cho.
Kwangwoon Univ, Sejong Univ¹.

Abstract : A fully depleted capacitorless 1-transistor dynamic random access memory (FD 1T-DRAM) based on a sSOI (strained-silicon-on- insulator) wafer was investigated. The fabricated device showed excellent electrical characteristics of transistor such as low leakage current, low subthreshold swing, large on/off current ratio, and high electron mobility. The FD sSOI 1T-DRAM can be operated as memory device by the floating body effect when the substrate bias of -15 V is applied, and the FD sSOI 1T-DRAM showed large sensing margin and several milli seconds data retention time.

Key Words : Capacitorless 1T-DRAM, strained-silicon-on-insulator (sSOI), floating body effect

1. 서 론

하나의 트랜지스터와 하나의 캐패시터로 구성되는 (dynamic random access memory) DRAM 소자는 소자의 크기가 서브마이크론 영역으로 축소됨에 따라 전하를 저장하는 캐패시터의 크기를 줄여가기가 매우 어려운 문제로 인해 스케일링 다운에 한계를 보이고 있다[1]. 한편, SOI 기판을 이용한 capacitorless 1T-DRAM은 추가적인 캐패시터 구조가 필요 없고, 하나의 트랜지스터만으로도 DRAM의 동작이 가능하기 때문에 기존의 DRAM 소자를 대체할 수 있는 차세대 메모리로 주목받고 있다. 1T-DRAM은 SOI 채널 몸체에 축적된 과잉 홀로 인해 증가하는 소스 전류를 감지하여 메모리로 동작하며[2], 전하를 채널 몸체에 저장하기 때문에 추가적인 캐패시터 구조가 필요 없어 고집적에 유리하다. 또한 실리콘과 실리콘-게르마늄 (SiGe) 층의 격자상수 차이에 의해서 얻어지는 strained-Si를 채널로 사용할 경우, 전하의 전도성 유효질량의 감소로 이동도가 증가하여 나노스케일의 소자크기에서도 고속의 동작이 가능하다[3]. 따라서 본 논문에서는 100 nm 이하의 채널 두께에서도 고속의 동작이 가능한 strained-Si 채널을 가지는 fully depleted strained-silicon-on-insulator (FD sSOI) 1T-DRAM을 구현하였으며, 트랜지스터 및 메모리 특성을 분석하였다.

2. 실험

(100) 면 방향과 10 Ω·cm의 저항을 가지는 p-type 의 sSOI 기판을 사용하였다. 상부 strained-Si 층과 매몰산화층의 두께는 각각 40 nm와 140 nm이며, strained-Si 층은 표면에 수평과 수직 방향으로 각각 0.78 %와 -0.59 %의 인장응력 (tensile strain)과 압축응력 (compressive strain)을 가짐을 라만 스펙트럼 분석으로 확인하였다. strained-Si 박막

위에 활성영역을 형성한 뒤 5 nm의 열산화막을 성장시켰다. 게이트 전극으로 100 nm 두께의 고전도성 n-type 폴리실리콘을 감압기상증착방법 (LPCVD) 방법으로 증착시켰으며, 포토리소그래피와 건식식각 방법을 통하여 게이트 영역을 형성하였다. 다음으로 플라즈마 도핑 시스템을 이용하여 600°C, PH3 분위기에서 소스/드레인 접합을 형성하였다. 마지막으로 소스/드레인 영역 불순물의 활성화를 위해 850°C, N2/O2 분위기에서 30초간 급속열처리를 실시하였고, strained-Si과 실리콘 산화막 사이 계면상태의 개선을 위해 450°C, H2/N2 분위기에서 30분간 후속열처리를 실시하였다. 측정 및 분석에는 HP사의 4156B semiconductor parameter analyzer, 8110A pulse generator 및 54542C oscilloscope를 사용하였다.

3. 결과 및 검토

그림 1은 제작된 sSOI 1T-DRAM의 게이트 전압에 따른 드레인 전류 특성을 나타낸다. 문턱 전압 이하에서의 누설전류가 매우 낮고 subthreshold swing이 60 mV/dec로 매우 빠른 스위칭 동작을 기대할 수 있다. 또한 온/오프 전류비가 10⁷배 이상으로 우수한 트랜지스터 전류 특성을 보인다. 그림 2는 effective field에 따른 전자의 이동도를 나타내며 최대 689 cm²/Vs의 높은 이동도 특성을 보인다. 위 결과를 통해 strained-Si 채널에 수직적인 방향으로 가해진 인장응력을 통하여 전자의 이동도가 증가하는 것을 확인하였고 strained-Si를 채널로 가지는 트랜지스터 소자를 적용하면 고속의 스위칭 동작특성을 얻을 수 있음을 알 수 있다.

그림 3은 sSOI 1T-DRAM의 드레인 전압에 따른 드레인 전류특성을 나타낸다. 기판전압 (V_b)을 인가하지 않은 경우와 -15 V의 전압을 인가하였을 경우의 결과를 각각 실선과 점선으로 나타내었다. 기판에 V_b가 인가될 경우 floating body effect에 의해 드레인 전류가 포화영역에서

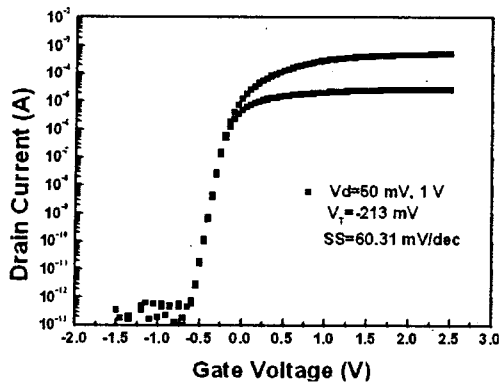


그림 1. sSOI 1T-DRAM의 I_D - V_G 특성.

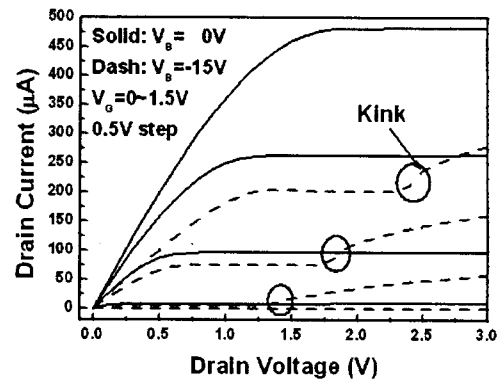


그림 3. sSOI 1T-DRAM의 floating body effect.

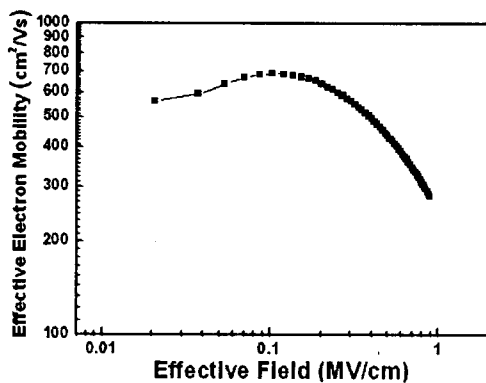


그림 2. sSOI 1T-DRAM의 effective mobility 특성.

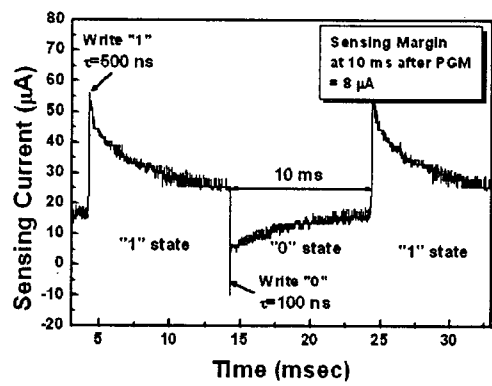


그림 4. sSOI 1T-DRAM의 메모리 특성.

갑자기 증가하는 kink 현상이 발생하였고 V_B 가 -15 V일 때 최대값을 나타내었다. 이로써 제작된 sSOI 1T-DRAM이 메모리의 동작이 가능함을 알 수 있으며 그림 4를 통하여 DRAM의 동작 특성을 확인하였다.

그림 4는 제작된 sSOI 1T-DRAM의 메모리 특성을 나타낸다. "1"과 "0"상태의 쓰기동작 시 드레인 펄스의 인가 시간은 각각 500 nsec와 100 nsec로 나노스케일의 쓰기동작이 가능하다. "1"의 쓰기동작 이후 소스전류의 차이는 약 40 μA 의 메모리 윈도우를 나타내었고 10 msec의 "1"상태 읽기동작 후에도 8 μA 의 충분한 센싱마진을 유지한다.

4. 결론

본 연구에서는 strained-Si를 채널로 사용하는 sSOI 1T-DRAM을 제작하여 트랜지스터 및 메모리 동작특성을 분석하였다. 빠른 subthreshold swing과 낮은 누설전류 및 빠른 전자의 이동도 특성을 보였고 메모리 동작 시 큰 센싱마진을 나타내었다. 또한 10 msec 후에도 8 μA 의 충분한 센싱 마진을 유지하였다. 따라서 strained-Si를 사용한 sSOI capacitorless 1T-DRAM은 기술적 한계에 이른 기존 DRAM을 대체할 초고속, 초고집적 차세대 임베디드 메모리로 기대할 수 있다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] A. Nitayama, Y. Kohyama, and K. Hieda, "Future Directions For DRAM Memory Cell Technology", IEDM Tech. Dig., pp. 355-358, 1998.
- [2] S. Okhonin, M. Nagoga, J. M. Sallese, and P. Fazan, "A SOI Capacitor-less 1T-DRAM Concept", IEEE International SOI Conference, pp. 153-154, 2001.
- [3] K. Rim, J. Chu, H. Chen, K. A. Jenkins, T. Kanarsky, K. Lee, A. Mocuta, H. Zhu, R. Roy, and J. Newbury, J. Ott, K. Petrarca, P. Mooney, D. Lacey, S. Koester, K. Chan, D. Boyd, M. leong, and H. S. Wong, "Characteristics and Device Design of Sub-100 nm Strained Si N- and PMOSFETs", Symposium On VLSI Technology Digest, pp. 98-99, 2002.