

## 저온공정을 통한 Pt-silicide SB-MOSFET의 전기적 특성과 공정기술에 관한 연구

오준석, 정종관\*, 조원주  
광운대학교, 세종대학교\*

**Abstract :** In this work, we describe a method to fabricate the Pt-silicided SB-MOSFETs with a n-type Silicon-On-Insulator (SOI) substrate as an active layer and demonstrate their electrical and structural properties. The fabricated SB-MOSFETs have novel structure and metal gate without sidewall. The gate oxide with a thickness of 7 nm was deposited by sputtering. Also, this fabrication processes were carried out below 500°C. As a result, Subthreshold swing value and on/off ratio of Fabricated SB MOSFETs was 70 [mV/dec] and  $10^8$ .

**Key Words :** SB-MOSFET, Pt-silicide, SOI, Low temperature process

### 1. 서론

반도체 소자는 지난 수십 년 동안 무어의 법칙대로 꾸준히 scale down 되어왔다. 하지만 회로의 집적도가 증가 하면서 소자크기는 감소하게 되었고, 기존의 Metal-oxide-semiconductor field effect transistor (MOSFETs) 구조의 사용은 기생성분의 증가, 단채널 효과 등 여러 가지 한계점에 직면하게 되었다. 이러한 문제점을 해결하기 위하여 새로운 구조 및 물질이 연구되고 있고, 이러한 문제점을 해결할 유력한 후보중의 하나가 Silicide를 이용한 Schottky barrier (SB) MOSFET 이다. SB-MOSFETs은 일반적인 bulk MOSFETs에서 소스, 드레인 영역을 도핑하는 것이 아닌 금속과 반도체간의 Silicide 형성을 통해 소스, 드레인을 형성 시켜준다. 이러한 구조는 저온공정을 가능케 하며, 차후에 게이트 절연막으로 고유전물질의 사용을 가능하게 한다. 또한 금속 게이트의 적용이 가능하다. 게다가 게이트 선폰이 50 nm 이하로 scale down 됐을 때 단채널 효과를 효과적으로 방지할 수 있다.

### 2. 실험

SB-MOSFETs 은 n-type SOI 기판위에 제작되었다. 상부 실리콘의 두께는 약 100 nm 이며, 매몰산화막의 두께는 약 200 nm 이다. Silicide 형성에 사용된 금속은 백금을 사용하였다. Silicide 형성 시에 증착된 백금의 두께는 약 50 nm 이며 silicide 형성의 확인은 SB-diode 제작을 통하여 확인하였다. 또한 게이트 절연막으로써 고온에서 성장시키지 않고 스퍼터링을 이용하여 형성시킴으로써 저온공정을 수행하였다.

### 3. 결과 및 검토

그림 1은 제작된 SB-MOSFETs 의  $I_D$ - $V_G$  특성을 나타낸다. 게이트 절연막으로써 thermal oxidation이 아닌 스퍼터링을 사용하였음에도 불구하고 subthreshold swing 값은 약 70 [mv/dec], on/off ratio 또한  $10^8$  의 우수한 특성을 확인하였다. 그림 2는 제작된 SB-diode의 J-V 특성을 나타낸다. 전자에 대한 SB height은 약 0.86 eV 로 정류성 접촉의 특성을 보이는 것을 확인하였다. 이는 백금과 n-type 실리콘과의 일함수 차이에 의해서 형성된 것이다.

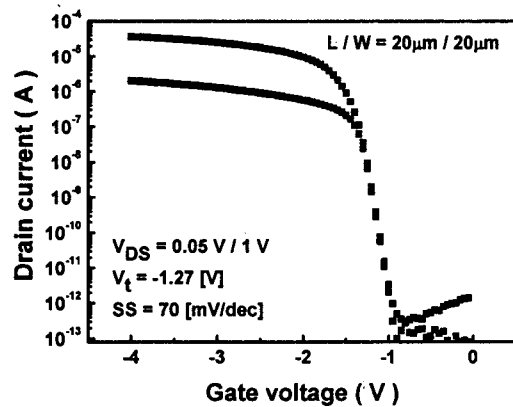


그림 1. 제작된 SB-MOSFETs  $I_D$ - $V_G$  특성.

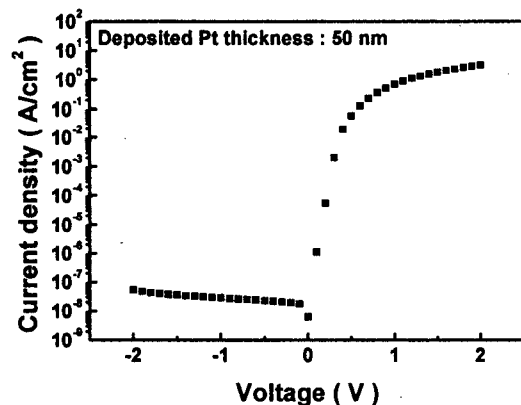


그림 2. 제작된 SB-diode 의 J-V 특성.

### 4. 결론

본 연구에서는 silicide를 이용하여 SB-MOSFETs 을 제작하고 전기적인 특성을 분석하였다. 기존의 MOSFETs 에 비하여 저온공정을 실현할 수 있었으며, 높은 on-current 와 swing값을 얻을 수 있었다. 이러한 저온 공정기술은 차후에 TFT와 나노전자소자에 적용될 수 있다.

### 참고 문헌

- [1] Won-Ju Cho and Chang-Geun Ahn, JKPS. Vol. 51, pp. S313-S317
- [2] John M. Larson and John P. Snyder. IEEE transactions on electron devices, Vol. 53, No. 5, pp. 1048-1058