후속열처리 공정을 이용한 FD Strained-SOI 1T-DRAM 소자의 동작특성 개선에 관한 연구

김민수[a], 오준석, 정종완[*], 조원주
광운대학교, 세종대학교[*]

Abstract : Capacitorless one transistor dynamic random access memory (1T-DRAM) cells were fabricated on the fully depleted strained-silicon-on-insulator (FD sSOI) and the effects of silicon back interface state on buried oxide (BOX) layer on the memory properties were evaluated. As a result, the fabricated 1T-DRAM cells showed superior electrical characteristics and a large sensing current margin (ΔI_S)between "1" state and "0" state. The back interface of SOI based capacitorless 1T-DRAM memory cell plays an important role on the memory performance. As the back interface properties were degraded by increase rapid thermal annealing (RTA) process, the performance of 1T-DRAM was also degraded. On the other hand, the properties of back interface and the performance of 1T-DRAM were considerably improved by post RTA annealing process at 450°C for 30 min in a 2% H_2/N_2 ambient.

Key Words : sSOI, Capacitorless 1T-DRAM, back gated MOSFET, back interface state.

1. 서 론

기존의 1T-1C 구조의 DRAM은 복잡한 캐패시터의 구조와 단채널 효과에 의해 소자 제작에 한계점이 있다. 이러한 문제점을 해결하기 위해 최근 SOI 기판을 이용한 1T-DRAM이 주목받고 있다. 1T-DRAM은 캐패시터 없이 하나의 트랜지스터로 메모리의 동작이 가능하기 때문에 스케일링 다운에 유리하며 SOI 기판을 이용하여 소자 특성을 향상시킬 수 있다. 1T-DRAM은 채널로 사용하는 상부 실리콘과 매몰산화층 사이에 과잉홀을 축적하여 변화하는 문턱전압을 감지하여 메모리 동작을 구현한다. 따라서, 본 연구에서는 상부 실리콘과 매몰산화층 사이 계면상태가 1T-DRAM의 메모리 특성에 미치는 영향을 확인하였고 적절한 열처리를 공정을 통하여 이를 개선하는 방법에 대해 연구하였다.

2. 실 험

2.1 소자 제작방법

P-type의 (100) sSOI 기판을 사용하였다. 게이트 산화막으로 5 nm의 열산화막을 사용하였다. 게이트 전극으로 100 nm의 phosphorus가 고농도로 도핑된 폴리실리콘을 LPCVD 방법으로 증착하였다. 다음으로 플라즈마 도핑 시스템을 이용하여 600°C, PH_3 분위기에서 소스/드레인 접합을 형성하였다. 마지막으로 소스/드레인 영역 불순물의 활성화를 위해 850°C, N_2/O_2 분위기에서 30초간 급속열처리를 실시하였고, 상부 실리콘과 실리콘 산화막 사이 계면상태의 개선을 위해 450°C, H2/N2 분위기에서 30분간 후속열처리를 실시하였다.

2.2 실험방법

1T-DRAM의 메모리 특성과 상부 실리콘/매몰산화층 사이 계면상태의 분석을 위해 sSOI 기판을 이용한 1T-DRAM 소자와 back gated MOSFET를 각각 이용하였다. 추가적인 급속열처리 공정을 통해 온도에 따른 계면상태의 변화와 메모리 특성의 변화를 확인하였다.

3. 결과 및 고찰

표.1에 급속열처리 온도에 따른 상부실리콘과 매몰산화층 사이 interface trap density와 이에 따른 1T-DRAM의 메모리 특성을 정리하였다. 급속 열처리 온도가 증가함에 interface trap density가 증가하였으며 메모리 특성 역시 온도에 비례하게 열화되었다. 이는 상부 실리콘과 매몰산화층(SiO_2)의 열팽창계수 차이에 의한 것으로 판단된다. 또한 후속열처리 공정을 통하여 상부실리콘/매몰산화층 사이 계면상태와 1T-DRAM의 메모리 특성 모두 개선되는 것을 실험을 통하여 확인하였다.

표.1 Back interface trap density에 따른 1T-DRAM 특성.

Annealing Temp.(°C)	initial state	RTA 600	RTA 700	RTA 800	RTA 900	PRA 450
interface trap density ($\times 10^{12} cm^{-2} eV^{-1}$)	1.61	6.35	8.41	9.09	1.08	1.13
Retention time (msec)	over 10	1	0.8	0.2	0	over 10

4. 결 론

sSOI 1T-DRAM의 상부실리콘과 매몰산화층 사이 계면상태의 변화에 따른 1T-DRAM의 메모리 특성을 확인하였다. 급속열처리 공정에 의해 back interface trap density가 증가함에 따라 1T-DRAM의 메모리 특성 또한 함께 열화되는 것을 확인하였다. 이를 통해 상부실리콘/매몰산화층 사이 계면상태와 1T-DRAM의 메모리 특성의 관계를 확인하였고 후속열처리 공정을 통하여 계면상태와 메모리 특성을 개선할 수 있음을 확인하였다.

감사의 글

이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (No.2009-0066869).

참고 문헌

[1] K. Kim, C. G. Hwang, J. G. Lee, IEEE Trans. Electron Devices Vol. 45, P. 598, 1998.
[2] S. Cristolovenu, S. Williams, IEEE Electron Device Letters Vol. 13, P. 102, 1992.