

## Thickness dependency of MAHONOS (Metal/Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub>/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si) charge trap flash memory

오세만, 유희욱, 김민수, 이영희, 정홍배, 조원주  
광운대학교

**Abstract :** The electrical characteristics of tunnel barrier engineered charge trap flash (TBE-CTF) memory with SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> engineered tunnel barrier, HfO<sub>2</sub> charge trap layer and Al<sub>2</sub>O<sub>3</sub> blocking oxide layer (MAHONOS) were investigated. The energy band diagram was designed by using the quantum-mechanical tunnel model (QM) and then the CTF memory devices were fabricated. As a result, the best thickness combination of MAHONOS is confirmed. Moreover, not enhanced P/E speed (Program: about 10<sup>6</sup> times) (Erase: about 10<sup>4</sup> times) but also enhanced retention and endurance characteristics are represented.

**Key Words :** NVM, TBE, CTF, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>

### 1. 서론

서로 다른 유전율을 가지는 절연막을 적층시킴으로서 전계에 대한 터널링 민감도를 높여 메모리 소자의 쓰기/지우기 동작 특성과 보존특성을 동시에 개선하는 TBE (tunnel barrier engineering)에 관한 연구가 최근 많은 관심을 모으고 있다[1]. 또한 터널링 절연막으로 유전율이 큰 high-k 물질을 이용하여 메모리 소자의 동작 특성을 개선시키는 연구 또한 활발히 진행되고 있다. 본 연구에서는 conduction mechanism의 이해를 통해 터널링 절연막의 특성을 연구하고 [2], high-k 물질을 터널링 절연막으로 사용한 MAHONOS 구조의 메모리 소자의 두께 의존성에 대하여 연구하였다.

### 2. 실험

p-type Si 기판을 이용하여 각각 SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub> 단일층 절연막을 가지는 MIS capacitor를 제작하고, 각각의 conduction mechanism에 대해 분석하였다. 또한 분석된 실험 결과를 바탕으로 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> (ONO) 적층구조의 터널링 절연막을 가지는 HfO<sub>2</sub> CTF memory를 제작하였다. Thermal SiO<sub>2</sub>를 2 nm 성장시키고, LPCVD를 이용하여 Si<sub>3</sub>N<sub>4</sub>와 SiO<sub>2</sub>를 각각 2 nm, 3 nm 증착하였다. 이후 atomic layer deposit (ALD)를 이용하여 HfO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub>를 증착하고 e-beam evaporator를 이용하여 TiN전극을 형성하였다. 마지막으로 photo-lithography를 이용하여 CTF memory를 제작한 후 유전막의 두께에 따른 전기적 특성을 평가하였다.

### 3. 결과 및 검토

그림 1은 ONO 적층구조의 터널링 절연막을 가지는 HfO<sub>2</sub> CTF memory의 두께에 따른 P/E speed 특성을 나타내고 있다. +13V의 program에서 Al<sub>2</sub>O<sub>3</sub>의 두께가 얇아질수록 P/E 특성이 16 μs에서 3 μs으로 약 5배, 115 ns에서 49 ns으로 각각 약 5배, 2배 향상됨을 확인하였다. 이러한 향상된 P/E speed 특성은 blocking layer의 두께가 감소함에 따라 상대적으로 tunnel layer에 걸리는 전계의 민감도가 향상되기 때문이다. 반면에 Al<sub>2</sub>O<sub>3</sub>의 두께가 얇아질수록 maximum memory window는 줄어든다. 이러한 현상은 gate로부터 charge trap layer로의 정공의 역주입에 의한 영향으로 판단된다.

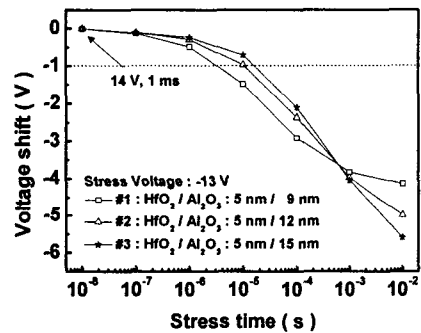
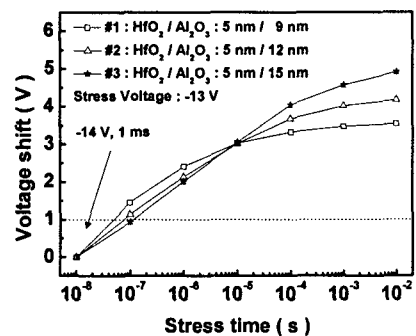


그림 1. MAHONOS의 두께에 따른 전기적 특성.

### 4. 결론

본 연구에서는 conduction mechanism의 분석을 통하여 터널링 절연막에 이용되는 high-k 물질들의 터널링 특성에 대하여 연구하였다. 또한 이를 바탕으로 실제로 ONO 적층구조의 터널링 절연막을 가지는 HfO<sub>2</sub> CTF memory를 제작하고 유전막의 두께에 따른 전기적 특성을 확인하였다.

### 감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성메모리 개발 사업의 지원에 의해 연구되었음.

### 참고 문헌

- [1] K. K. Likharev, Appl. Phys. Lett. 73, 2137, 1998.
- [2] M. Lenzlinger and E. H. Snow, J. Appl. Phys., 40, 278, 1969.