디지털화된 지연 고정 루프 구조와 성능

서용원*, 김정범
강원대학교 전자공학과
e-mail: seoyw@kangwon.ac.kr

ALL-Digital DLL Architecture and Performance

Yong-Won Seo*, Jeong-Beom Kim
*Dept of Electronics Engineering, Kangwon National University

요 약

현재 이슈가 되고 있는 디지털화된 지연 고정 루프는 여러 가지 방법으로 설계 되고 있다. 아날로그 형태의 지연 고정 루프는 전력 소모 면에 있어 상당한 대기 전력을 가지고 있으며 이를 효과적으로 방지하기 위해 디지털화되고 있다. 또한 지터와 스큐 문제를 최소화하며 주파수 범위도 넓힐 수 있다.

1. 서론

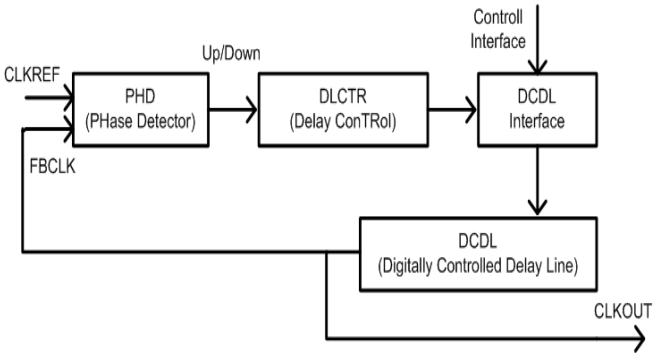
최근 연구되고 있는 디지털화된 지연 고정 루프(All Digital DLL)는 일반 지연 고정 루프와 달리 디지털로 설계가 되어 저 전력으로 동작 할 수 있게 하며 클럭 회로의 지연 오차를 최소화하기 위한 지터성분을 최대한으로 작게 하는 연구가 진행 중이다. 기존 지연 고정 루프는 DRAM에서 클럭 발생기나 스큐를 최소화하기 위해 널리 사용되었다. 지연 고정 루프(DLL)는 위상 고정 루프(Phase Locked Loop)에 비해 안정되고 빠른 고정 시간을 가지고 있는 이점을 가지고 있다.

지연 고정 루프는 설계 방법에 따라 아날로그와 디지털 지연 고정 루프로 설계할 수 있다. 하지만 공정이 발달하고 디지털화된 고정 지연 루프가 설계되면서 이슈가 되고 있다. 기존의 아날로그 형식의 지연 고정 루프는 지터와 스큐 문제, 길어진 고정 시간(Damping), 큰 칩 면적, 대기 전력 소모 문제 등을 가지고 있었다. 이 문제는 공정이 발달 되면서 더 큰 문제가 되었다.

그러나 디지털화된 고정 지연 루프의 가장 큰 장점은 한 개 이상의 pole 성분을 가지고 있는 아날로그 고정 지연 루프보다 빠른 고정 시간을 가지고 있어 높은 안전성을 가지고 있다. 또한 공정에 둔감할 수 있는 회로적 구조를 가지게 된다. 이런 문제로 인해 대기전력 소모를 최소화하고 면적을 작게 차지하며 작은 지터 성분으로 시스템의 오류를 최소화 하는 디지털화된 지연 고정 루프를 사용하여 클럭의 안정화를 소개하고자 한다.

2. 디지털화된 지연 고정 루프의 구조

일반 지연 고정 루프의 구조는 지연 감지기(Phase Detector), 차지 펌프(Charge Pump), 루프 필터(Loop filter), 전압 컨트롤 지연 라인(Voltage Controlled Delay Line)으로 구성된다. 이 중 아날로그 블록을 디지털로 대체하여 지연 감지기(Phase Detector), 지연 컨트롤러, 지연 인터페이스, 디지털 제어 지연 라인(Digitally Controlled Delay line)으로 (그림 1)과 같이 간단하게 구성할 수 있다.[1]



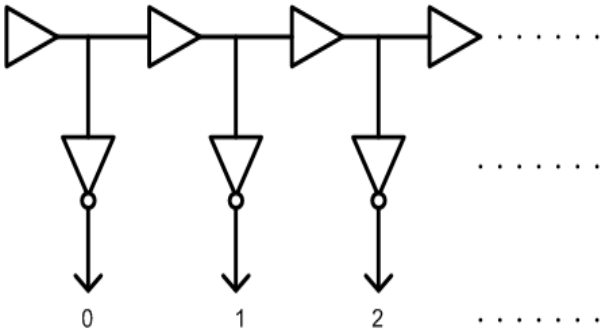
(그림 1) 디지털화된 지연 고정 루프 구조

만약 회로 내에 지연이 발생한다면 CLKOUT이 PHD의 입력으로 들어가게 되어 지연되기 전의 기준 클럭 PHD REF와 비교하게 된다. 지연된 시간이 PHDREF에 나타나게 된다면 지연 컨트롤러에서 지연을 줄이기 위해 지연 인터페이스와 상호작용을 하여 지연된 시간을 디지털 제어 지연 라인에서 복구를 하여 고정된 루프를 가지게 되며 다시 PHD의 입력으로 들어가게 되게 안정화가 된다.

3. 지연 고정 루프의 동작

처음 PHD에서의 동작은 CLKOUT에서 피드백된 클럭 FBCLK는 기준 클럭 CLKREF와 지연 시간을 출력으로 나타낸다. 보통 UP, DOWN의 신호로 DLCTR로 보내져 지연 시간을 조정하게 된다. 일반적으로 조정하는 방법은 지연 시간의 기준을 한 주기의 클럭으로 총 지연시간을 카운트하는 방법이다. 만약 시스템에서 3비트의 워드를 가

진다면 총 8가지의 시간을 가지고 지연을 조정할 수 있다. 이 때 고려하여야 할 방안은 해상도이다. 해상도가 얼마나 좋은 지에 따라 정확하게 지연시간을 조정할 수 있다. 기준 클럭의 한주기 안에 지연시간이 3비트의 8가지 조정 시간 중에 해당하는 시간 이 있을 때를 카운트한다면 그 시간에 해당하는 지연을 MUX(Multiplexer) 로 선택하여 피드백하게 된다. 아래의 구조 (그림 2) 는 지연 시간을 제어하여 선택해 내는 구조로 버퍼(Buffer)와 인버터로 나타내었다.[2]



(그림 2) 지연 시간 선택 방법

그러나 미세한 차이는 정확하게 피드백 되지 않는 문제가 생긴다. 미세 차이를 조정하기 위해 더 큰 해상도를 필요로 하게 되는데 이는 면적을 증가하는 단점을 가져오게 되며 디지털화된 고정 지연 루프의 속도저하에 문제로 작용하게 된다. 하나의 방법으로 Coarse block과 Fine block을 사용하여 Course block에서 한번 지연 조정을 한 후에 Fine block에서 한 번 더 미세한 지연 조정을 하는 방법이다.[3],[4]

디지털 지연에서 디지털 제어 지연 라인의 인터페이스에서 받은 지연 정보를 가지고 해당하는 지연에 대해 CLK REF과 고정을 시도하게 된다. 이 때 잘못된 지연 선택은 스큐를 유발 할 수도 있기 때문에 유의하여야 한다.[5] 또한 지연 제어기(DLCTR)는 PHD가 계속적으로 지연정보에 대해 수정을 하며 Up/Down에 대한 정보도 바뀌게 된다. 최종적으로 클럭이 지연된 시간에 대해 CLKREF와 FBCLK가 같아지게 되면 디지털화된 지연 고정 루프에 대한 루프가 고정되게 되며 시스템의 워드 역시 고정되어 루프 고정이 이루어지게 된다.

4. 결론

디지털화된 지연 고정 루프는 전력소모 측면에 있어서 대기전력이 없기 때문에 일반 지연 고정 루프에 비해 큰 장점을 가진다. 개선된 여러 가지의 디지털화된 지연 고정 루프들을 아래의 <표 1>에 요약하였으며 클럭을 사용하는 회로에 고정된 신호를 안전하게 전달하는데 있어서 훌륭한 해결책을 제공한다.

<표 1> 디지털화된 지연 고정 루프의 조건과 결과

	Ⅰ	Ⅱ	Ⅲ
구 조	디지털화된 지연 고정 루프	디지털화된 지연 고정 루프	디지털화된 지연 고정 루프
응용 회로	고속동작 인터페이스 회로	Master slave ADDLL	jitter 최소화
공정	0.4um	0.13u	0.18um
사용 전압	3.3V	1.2V	1.5V
주파수 범위	400MHz	200~500 MHz	1.5~2.5 GHz
지터(jitter) 최대 시간	40ps	30ps	14ps
면적	$0.96mm^2$	$0.014mm^2$ (include slave DCDL)	$0.03mm^2$
전력소모	60mW	2.5mW	30mW @2.5GHz

참고문헌

[1] J. Christiansen "An Integrated CMOS 0.15nS Digital Timing Generator for TDC's and Clock Distribution Systems,." IEEE Trans. Nuclear Science, Aug. 1995.

[2] B.W. Garlepp et al. "A Portable Digital DLL for High-Speed CMOS Interface Circuits," JSSC, May 1999.

[3] Rong-Jyi, Shen-Iuan Liu Yang, "A 2.5 GHz All-Digital Delay-Locked Loop in 0.13um CMOS Techno logy" IEEE J. Solid-state Circuits, vol. 42, no.11, Nov, 2003.

[4] Bum-Sik Kim, Lee-Sup Kim. " A Low Power 100 MHz All Digital Delay-Locked Loop" IEEE Interna tional Symposium on Circuits and System, June 1997.

[5] M. K. Elbedweihy, A. N. Hafez, N. A. Ghamry, S. E. D. Habib "A Novel All Digital Delay Lock Loop (ADDLL)" IEEE ICM-Dec, 2007.