고속 곱셈연산을 위한 고속 4-2 compressor 설계

이성태*, 김정범**
강원대학교 전자공학과
e-mail : stlee@kangwon.ac.kr

Design of a high-speed 4-2 compressor for fast multiplication

Sung-Tae Lee*, Jeong-Beom Kim**
*Dept. of Electronics Engineering, Kangwon National University

요 약

4-2 compressor 는 곱셈기의 부분 곱 합 트리(partial product summation tree)의 기본적인 구성요소이다. 본 논문은 고속 연산이 가능한 4-2 compressor 구조를 제안한다. 제안한 회로는 최적화된 XOR-XNOR 와 MUX 로 구성하였다. 이 회로는 기존의 회로와 비교하였을 때 회로 구성에 필요한 트랜지스터수가 12 개 감소하였으며, 지연시간이 32.2% 감소하였다. 제안한 회로는 Samsung 0.18um CMOS 공정을 이용하여 HSPICE 로 시뮬레이션 하였다.

1. 서론

디지털 신호처리나 화상처리 같은 컴퓨터 응용에서는 보다 빠른 연산 수행을 요구한다. 그러한 요구를 충족시키기 위해 높은 속도의 처리를 하는 연산요소들이 개발되고 있는데, 그 중 가장 중요하고 대표적인 연산 요소가 곱셈기이다[3]. 곱셈기는 세 부분으로 나눌 수 있는데, 첫 번째는 입력으로 들어오는 피승수와 승수로부터 부분 곱들을 만들어내는 인코더 부분이고, 두 번째는 생성된 부분 곱들을 모두 더하여 합과 캐리 형태의 값으로 만드는 덧셈기 배열 혹은 부분 곱 압축 부분이다. 세 부분 중 부분 곱 합(partial product summation tree)는 전체 곱셈 지연의 중요한 부분을 차지한다. Wallace tree 는 부분 곱 들을 더하는 회로를 직렬로 더하지 않고 트리(tree) 방식으로 더함으로써 덧셈 기의 단(adder stage) 수를 감소시켜 동작 속도를 향상시키기 위해 사용된다[4]. 그러나 Wallace 틀리는 레이아웃(layout)이 어렵고, 전가산기(full adder) 사이에 연결해야 할 신호 선들이 많아 복잡성이 증가하는 단점이 있다[2]. 따라서 곱셈 기에서 복잡성을 감소시키면서 병렬성을 향상시키기 위해서 4-2 compressor 가 중요한 역할을 한다. 이 논문에서는 고속 곱셈기에 적용이 가능한 고속 4-2 compressor 를 설계하였다.

2. 기존회로

그림 1 은 4-2 compressor 의 블록도(block diagram)이다. 그림 1(a) 에 보이는 대로 두 개의 전가산기로 4-2 compressor 를 구현할 수 있는데, 다섯 개의 입력 신호인 X1, X2, X3, X4, Cin 과 세 개의 출력 신호인 Carry, Sum, Cout 에 대해 다음 관계식이 성립한다.

$$x1 + x2 + x3 + x4 + Cin = Sum + 2 \bullet (Carry + Cout) \quad \text{식 (1)}$$

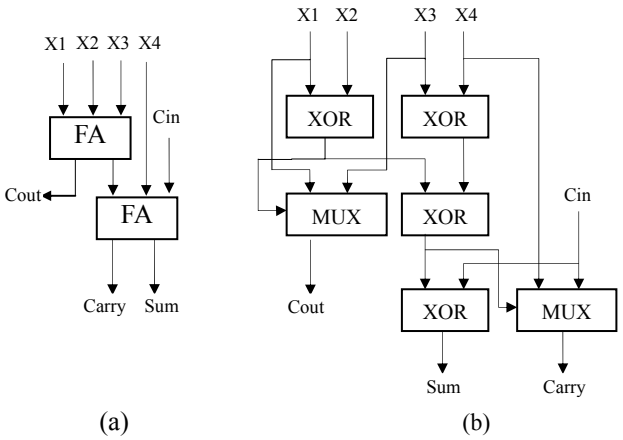

그림 1. (a) 두 개의 전가산기로 구성된 4-2Compressor
(b) 기본적인 4-2 compressor 회로

두 개의 전가산기로 구성한 4-2 compressor 의 출력변수들을 입력 변수들의 식으로 표시하면 다음과 같다.

$$\begin{aligned} Sum &= x1 \oplus x2 \oplus x3 \oplus x4 \oplus Cin \\ Cout &= (x1 \oplus x2) \bullet x3 + (\overline{x1 \oplus x2}) \bullet x1 \\ Carry &= (x1 \oplus x2 \oplus x3 \oplus x4) \bullet Cin + \\ &\quad (\overline{x1 \oplus x2 \oplus x3 \oplus x4}) \bullet x4 \end{aligned} \quad (2)$$

그림 1(b)는 3*△-XOR 의 지연시간(delay time)을 갖는 일반적인 4-2 compressor 구조[4-5]이다. 일반적인 XOR

구조에서 반전된 값을 사용하기 위해선 인버터(inverter)가 추가된다.

3. 제안한 4-2 compressor 구조

본 논문에서는 최적화된 XOR-XNOR 와 MUX[6]를 이용하여 고속 특성을 갖는 새로운 4-2 compressor 구조를 제안한다. 그림 2 는 본 논문에서 제안한 4-2 compressor 구조이다.

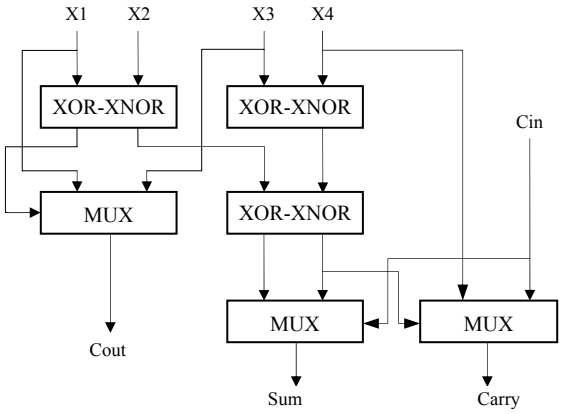

그림 2. 제안한 4-2 Compressor 구조

XOR 는 반전된 출력은 인버터를 추가하는데 반해, 그림 3 은 6 개의 트랜지스터를 사용한 XOR 가 풀 스윙(full swing)을 하는 상보형 출력을 만든다. 따라서, 트랜지스터의 개수와 지연시간이 감소한다.

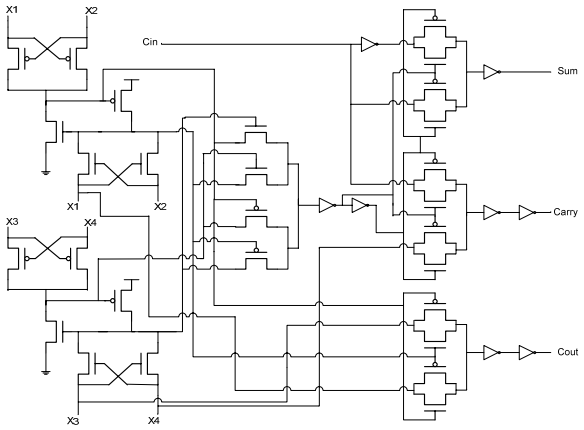

그림 3. 제안한 4-2 Compressor 회로 (# Tr :44)

MUX 는 트랜스미션 게이트(transmission gate)를 이용하여 앞의 XOR-XNOR 에서 상보 값을 받기 때문에 인버터가 필요 없다. 그래서 트랜지스터 개수와 전반적인 지연시간을 감소시킬 수 있다. 각 단의 출력은 버퍼(buffer)를 연결하여 출력 단에서 발생하는 잡음 등의 영향을 감소시킨다.

4. 시뮬레이션 결과 및 비교

본 논문은 삼성 0.18 μm 표준 CMOS 공정을 이용하여 HSPICE 로 시뮬레이션 하였다. <표 1>은 HSPICE 시뮬레이션 조건이다.

<표 1> Hspice 시뮬레이션 조건

	L(um)	Load(pf)	Slope(ps)	Vdd(V)
0.18um	0.18	0.058	200	1.8

<표 2 >는 기존의 4-2 compressor[7]와 제안한 회로의 지연시간과 전력소모를 비교한 표이다.

<표 2> 비교표

	지연시간 (ns)	전력소모 (uW)	PDP (10^{-18} J)
기존회로	0.369	37.15	13.71
제안한 회로	0.250	36.18	9.05

5. 결론

본 논문에서는 최적화된 XOR-XNOR 와 트랜스미션 게이트를 이용한 MUX 를 사용하여 44 개의 트랜지스터로 구성되는 고속 4-2 compressor 구조를 제안하였다. 이 회로는 기존의 회로에 비해 트랜지스터수가 12 개 감소하였으며, 지연시간이 32.2% 감소하였다

참고문헌

[1] C. C. Wallace, " A Suggestion for a Fast Multiplier", IEEE Trans. Electron Comp., vol.EC-13, pp. 14-17, Feb. 1964

[2] Keshab K. Parhi, VLSI Digital Signal Processing Systems, John Wiley and Sons, Inc., 1999.

[3] G. Goto et al., "A 54 x 54-b regularly structured tree multiplier" IEEE J. Solid-State Circuits, 1992, pp.1229-1236

[4] S. F. Hsiao, M. R. Jiang, and J. S. Yeh, " Design of high-speed low-power 3-2 counter and 4-2 compressor for fast multipliers, " Electron. Lett, vol. 34, no. 4, pp. 341-343,1998

[5] K. Prasad and K. K. Parhi, "Low-power 4-2 and 5-2 compressors," in Proc. Of the 35th Asilomar Conf. on Signals, Systems and Computers, vol. 1, 2001,pp. 129-133.

[6] D. Radhakrishnan, "Design of CMOS Circuits", IEEE Proceedings – Circuits Devices and Systems, vol. 138, no.1, pp.83-90,Feb. 1991.

[7] S. C. YUAN "4-2 compressor of fast booth multiplier for high-speed RISC processor," International Journal of Electronics, Vol. 94, No.9, September 2007, pp.869-875