분기예측기법을 적용한 임베디드 RISC 프로세서 기반 SoC 플랫폼의 ASIC 설계

이병엽, 정윤진, 류광기
한밭대학교 정보통신전문대학원
e-mail:roll83@hotmail.com, yjjung39@gmail.com, kkryoo@hanbat.ac.kr

A ASIC Design of SoC Platform with Embedded RISC Processor using BTB Branch Prediction

Byung-Yup Lee, Youn-Jin Jung, Kwang-Ki Ryoo*
Graduate School of Information and Communication, Hanbat National University

요 약

내장형 프로세서에 대한 기능요구사항이 날로 증가함에 따라 데이터 처리량을 늘리기 위한 많은 연구들이 지속되어 왔으며, 그중 파이프라인의 컨트롤 해저드로 인한 성능저하를 최소화하기 위한 분기예측 기법이 다양한 방식으로 제안되어 왔다. 본 논문에서는 분기예측 방법으로서 구현이 간단하고 분기 예측률이 높은 BTB 방식을 32비트 프로세서에 적용하고, 해당 프로세서를 사용하는 SoC 플랫폼을 구성하여 분기예측기법 사용으로 인한 성능향상을 측정하고, 0.18um ASIC 공정을 적용하여 SoC 플랫폼을 구현한 결과를 제시한다.

1. 서론

내장형 프로세서는 휴대용 기기 등에 주로 사용되기 때문에 전력사용 및 사이즈가 제한적일 수밖에 없다. 하지만 최근 휴대용 장치들은 점점 더 많은 기능들을 구현하기 때문에 고성능의 프로세서가 요구된다. 때문에 현대적인 내장형 마이크로프로세서들은 파이프라인 단계가 점점 증가하며 병렬처리를 통해 처리량을 증가시키는 것이 필수적이다. 이중 파이프라인은 마이크로프로세서 아키텍처에 필수적인 요소이지만 동작특성에 의해 성능을 저하시키는 요인이 존재한다.

분기 해저드는 파이프라인의 성능을 저해시키는 요소로서, 프로세서가 조건 분기문에 도달해서 다음에 페치해야 할 명령어를 결정할 때 까지는 파이프라인이 동작할 수 없다. 마이크로프로세서 아키텍처에 따라 다르지만 이로 인한 사이클 손실은 수 사이클에서 최대 수십 사이클이 될 수 있다.[1] 분기예측이란 파이프라인 해저드로 인한 성능저하를 극복하기 위한 방법으로 본 논문에서는 32비트 RISC 프로세서를 기반으로 한 SoC 플랫폼에서 분기예측 사용으로 인한 향상효과를 제시한다.

2. 32비트 RISC 프로세서 구조

OpenRISC는 공개 프로세서 코어로서 32비트 프로세서 아키텍처를 갖는다. OpenCore를 통해 RTL 레벨로 배포되기 때문에 구조의 변경이 용이하다는 장점을 갖는다. 현대 프로세서들이 지원하는 대부분의 기능(MMU, 캐시, DSP)을 내장하고 있으며, 0.18um 공정 구현시 300Mhz에서 300 Dhrystone MIPS의 성능을 갖는다.[2]

분기예측을 통한 향상을 알아보기 위해 RTL 수준에서 분기 예측회로를 구현하여 OpenRISC에 추가 하였다.

3. 분기 예측

분기예측 방법은 30년간 연구되어온 과제이다. 이에 따라 매우 다양한 분기예측 방법들이 연구되어 왔으며, 크게 정적 분기예측 방법과 동적 분기 예측 방법으로 나뉜다. 정적분기 예측방법을 단순한 방법으로 구현이 용이하지만 분기 예측 실패율이 동적 예측에 비해 저조하기 때문에 최근에는 동적 분기예측을 주로 사용하거나 정적/동적 분기예측을 혼합한 형태를 주로 사용한다.

본 논문에서는 BTB(Branch Target Buffer)방식의 동적 분기 예측을 구현하였으며, 그림 1은 BTB방식의 동적분기 예측기 구조를 보여준다.

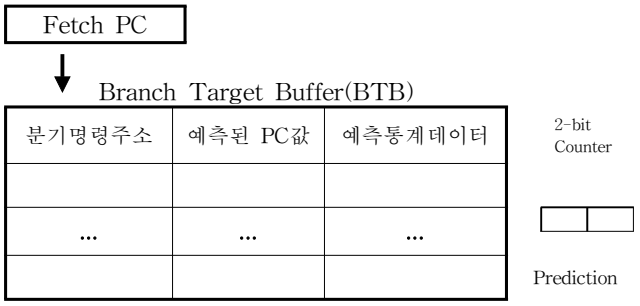

그림 1 BTB 방식의 분기 예측기

본 연구는 IDEC의 지원, 중소기업청의 산학협력실 지원 사업 및 ETRI, 시스템반도체산업진흥센터의 IT SoC 핵심설계인력양성 사업의 연구결과임.

BTB 방식의 분기예측은 3가지 정보를 유지한다. 첫 번째로 분기명령이 들어있는 메모리 주소와 해당 명령어가 분기할 주소 그리고 이전 분기에 대한 정보를 저장한다. 이전 분기정보는 2비트 카운터로 구성되어, 분기 발생 시 카운터를 증가하고, 발생하지 않을 경우 카운터를 감소한다. 카운터의 값이 임계값보다 크면(보통 2) 분기발생으로 예측하고 그렇지 않으면 분기 미발생으로 예측한다.[3, 4]

분기예측 실패확률이 낮아야지만 효과를 볼 수 있는데 이는 BTB 엔트리 크기에 따라 실패확률이 달라진다. 하지만 메모리 사용으로 인한 전력소모 증가를 수반하기 때문에 BTB의 엔트리 개수가 적절하게 선정되어야만 과도한 전력낭비를 막을 수 있다.[5] 구현된 플랫폼은 프로그램 메모리 사이즈가 작기 때문에 32개 엔트리를 갖는 BTB를 구현하였다.

4. 테스트를 위한 SoC 플랫폼

그림 2는 다양한 테스트 벡터를 적용하기 위해 구현된 OpenRISC 기반 SoC 플랫폼의 구조이다.

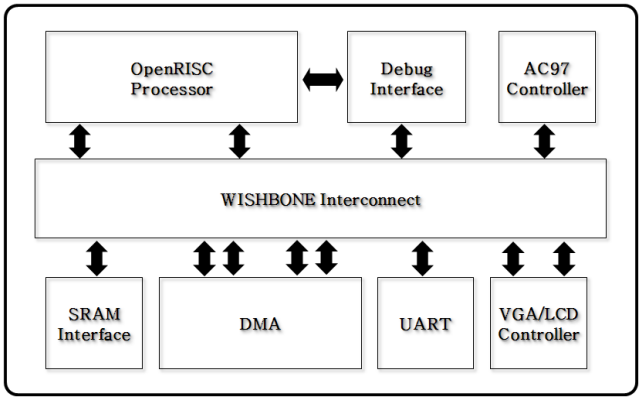

그림 2 OpenRISC기반 SoC 플랫폼

32비트 RISC 프로세서를 기반으로 프로세서 접근을 위한 디버그 인터페이스와 UART IP, AC97 컨트롤러 IP, VGA컨트롤러 IP를 조합하여 SoC 플랫폼을 구현하였다. 테스트 벡터들은 각 IP를 활용하는 이미지, 오디오 데이터 처리 프로그램을 사용한다.

5. BTB 분기 예측 기법의 적용

BTB 분기 예측 기법은 앞서 설명한 것과 같이 Verilog HDL을 사영하여 RTL 레벨로 설계되었고, 다양한 테스트 벡터를 적용하여 테스트 한 결과는 그림 3에 나타내었고 평균적으로 약 7.3%이상 실행 시간을 단축시켰다.

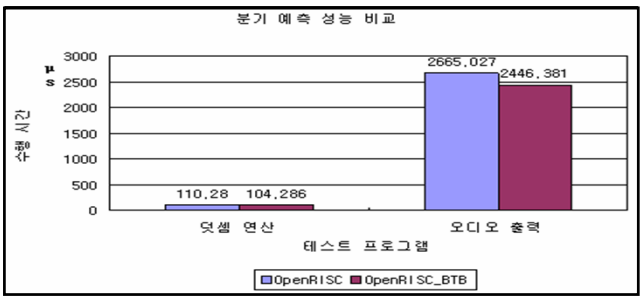

그림 3 BTB 내장 프로세서의 성능비교

6. SoC 플랫폼 구현

그림 2에 나타낸 SoC 플랫폼을 Chartered 0.18um ASIC 공정을 적용하여 구현한 결과는 표 1과 같고, 그림 4는 Back-End Layout 화면을 나타낸다.

표 1 0.18um 공정 적용 결과

공정명	Chartered 0.18 um
게이트 수	40만 게이트
사이즈	4000 x 4000
동작 주파수	100 Mhz
전력소모	224.8 mW

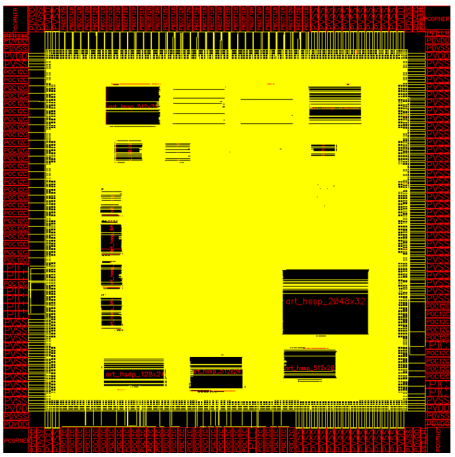

그림 4 Back-End 레이아웃 화면

참고문헌

[1] J. Strokes, Inside the Machine : An Illustrated Introduction to Microprocessors and Computer Architecture, No Starch Press, November 30, 2006

[2] http://www.opencores.org

[3] J.E.Smith, "A study of branch prediction strategies", Proc. 8th Int. Sym. On Computer Architecture, pp.135-148, Minneapolis, Minnesota, May 1981.

[4] J. K. L. Lee and A. J. Smith, "Branch prediction strategies and branch target buffer design", IEEE Computer, Vol 17, No. 1, Jan., 1984.

[5] D. Parkikh, K. Skadron, Y. Zhang, M. Barcella, and M. R. Stan, "Power Issues Related to Branch Prediction", Proc. of HPCA, 2002.