

결함없는 구리 충진을 위한 경사벽을 갖는 Via 홀 형성 연구

Fabrication of tapered Via hole on Si wafer for non-defect Cu filling

김인락^a, 이영곤^a, 이왕구^a, 정재필^a

^a서울시립대학교 신소재공학과(E-mail ; kir3622@uos.ac.kr)

초 록: DRIE(Deep Ion Reactive Etching) 공정은 실리콘 웨이퍼를 식각하는 기술로서 Si wafer 비아 홀 제조에 주로 사용되고 있다. 즉, DRIE 공정은 식각 및 보호층 증착을 반복함으로써 직진성 식각을 가능하게 하는 공정이다. 또한, 3차원 적층 실장에서 Si wafer 비아 홀에 결함없이 효과적으로 구리 충진을 하기 위해서는 직각형 via보다 경사벽을 가진 via가 형상적으로 유리하다. 본 연구에서는 3차원 적층을 위한 Si wafer 비아 홀의 결함없는 효과적인 구리 충진을 위해, DRIE 공정을 이용하여 기존의 경사벽을 가지는 via 홀 형성 공정보다 더욱 효과적인 공정을 개발하였다.

1. 서론

관통 홀을 이용한 3차원 적층 실장은 와이어 본딩이 갖는 I/O 개수 제한, 단락(short-circuit)위험과 같은 단점을 갖지 않으며, 이방성 전도 필름이 갖는 단락, 접촉 불량 가능성 또한 매우 낮다. 이러한 3차원 적층실장은 먼저 실리콘 웨이퍼의 상하방향으로 관통되도록 비아 홀(via hole)을 형성한 다음 비아 홀 내에 갭필(gap fill) 특성이 우수한 구리(Cu)막과 같은 금속막을 충진하여 제조하게 된다. 이때, 비아 홀 제조에 있어서 DRIE 공정이 주로 사용되고 있는데 DRIE 공정은 실리콘 웨이퍼를 식각하는 기술로서 식각 및 보호층 증착을 반복함으로써 직진성 식각을 가능하게 하는 공정이다. 그러나 이러한 DRIE 공정으로 형성한 직각형 비아 홀은 스텝 커버리지(step coverage)에 의해 직각형 비아 홀 내 저면의 양쪽부분에 기능 박막층(seed layer)이 잘 형성되지 않는 문제점이 있다. 또한, 직각형 비아 홀에 Cu 충진 도금을 할 때, 직각형 비아 홀의 개구부가 전류집중에 의해 과도금되어 개구부가 막혀서 비아 내부에 보이드가 발생하는 문제점이 있다. 본 연구에서는 이러한 문제점을 개선하기 위해 반도체 제조공정 중, 비아 홀을 형성하는데 있어서, 결함없는 구리 충진을 위한 경사벽을 가진 비아 홀을 형성하였다.

2. 본론

본 연구에서는 반도체 제조공정 중 경사벽을 가진 비아 홀을 형성하기 위해 먼저 실리콘 웨이퍼 상에 포토 레지스트를 도포하고, 포토 레지스트의 일부 영역만을 노광 및 현상하였다. 그 후, DRIE 공정을 수행하여 포토 레지스트가 도포되지 않은 실리콘 웨이퍼를 에칭하여 비아 홀을 형성하였다. DRIE 공정의 자세한 내용은 표 1 및 그림 1에 나타내었다. DRIE 공정 후 RIE(Reactive Ion Etching) 공정을 수행하여 테이퍼 형태의 경사벽을 갖는 비아 홀을 형성하였다. 식각 및 보호층 증착을 반복하는 DIRE 공정에 비해, RIE는 보호층 증착 없이 식각 공정만 진행한다. 그 후 잔류해 있던 포토 레지스트를 제거하고, 언더컷이 있는 비아 홀 상단 개구부를 제거하기 위해 RIE 공정을 수행하였다. 그림 2에 전체공정의 개략도를 나타내었다.

이러한 공정은 그림 3에 나타난 기존의 경사벽을 갖는 비아 홀 형성 공정을 개선한 것으로 기존의 공정이 가지는 개구부 과다 에칭 및 undercut 문제를 해결하였다. 그림 4는 기존 공정에 의해 형성된 via와 개발 공정에 의해 형성된 via를 비교한 것이다. 그림 4 (a) 에서와 같이 경사벽을 가지면서도 비아 홀의 개구부가 넓은 우수한 형태의 비아 홀을 형성하였다.

Table 1. DRIE process

| | |
|-----------------|--------------------------------------------------------------------------------------------------------------------------------------------|
| SF ₆ | SF ₆ + e ⁻ (from plasma) → SF ₅ + + F + 2e ⁻ Si (solid) + 4F (gas) → SiF ₄ (gas) |
| O ₂ | Residual polymer (passivation) etching, Si surface cleaning |

(a) Etching term

| | |
|-------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| C ₄ F ₈ | C ₄ F ₈ + e ⁻ (from plasma) → C ₃ F ₆ + CF ₂ + e ⁻ nCF ₂ → (CF ₂) _n (Teflon like polymer on Si surface) |
|-------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

(a) Passivation term

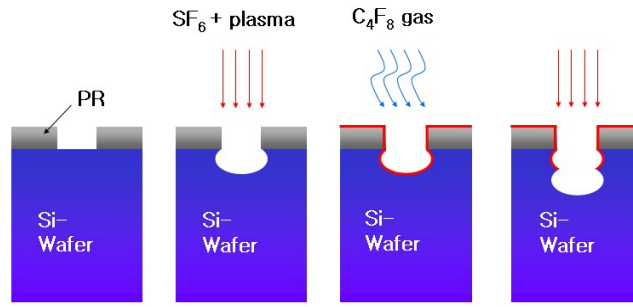


Fig. 1. Flow of DRIE process

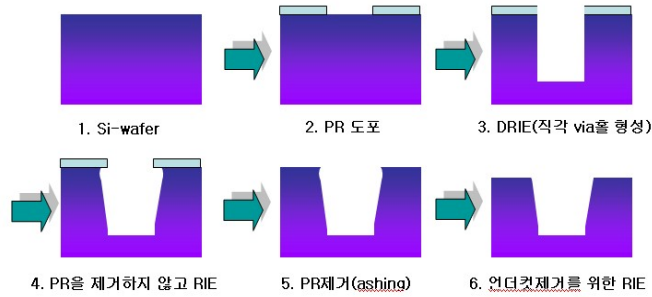


Fig. 2. Flow of fabrication of tapered via by developed process

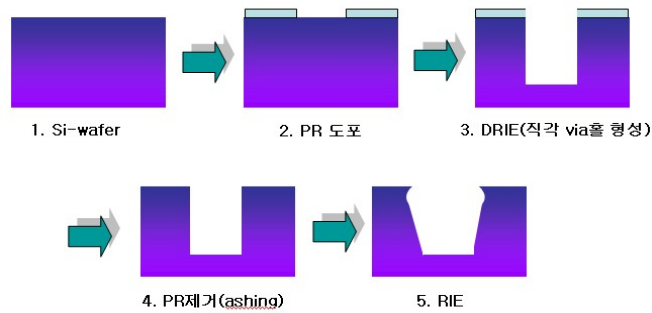
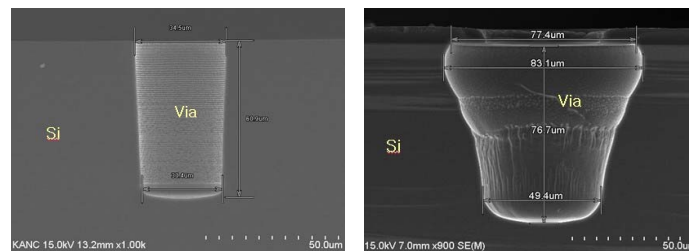


Fig. 3. Flow of fabrication of tapered via by conventional process



(a) Tapered via by developed process (b) Tapered via by conventional process

Fig. 4. Fabricated tapered via

3. 결론

3차원 적층 실장에서 Si wafer 관통 홀의 향상된 Cu 충진을 위해서 경사벽을 가진 관통 홀을 제조하였다. 또한 기존의 경사벽을 가진 관통 홀 형성 공정의 문제점을 개선하고자 새로운 공정 방법을 제안하였다. 그 결과, 기존의 공정에 의해 제조된 관통 홀이 가지는 under cut 문제 및 개구부 과다에칭 문제를 해결하여, 경사벽을 가지면서도 개구부가 넓은 우수한 형태의 비아 홀을 형성하였다.

사사

본 연구는 2008년도 정부(과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구(No.R01-2007-000-20811-0(2008))입니다.

참고문헌

1. Said F. Al-sarawi, Derek Abbott and Paul D. Franzon, February 1998 "A Review of 3-D Packaging Technology", IEEE transactions on components packaging and manufacturing technology part B, Vol. 21, No. 1, pp 2.
2. Leonard W. Schaper, Susan L. Burkett, Silke Spiesshoefer, Gowtham V. Vangara, Ziaur Rahman, and Swetha Polamreddy : Architectural Implications and Process Development of 3-D VLSI Z-Axis Interconnects Using Through Silicon Vias, IEEE TRANSACTIONS ON ADVANCED PACKAGING, VOL. 28, NO. 3, AUGUST 2005
3. Ranganathan Nagarajan, Krishnamachar Prasad, Liao Ebin, Balasubramanian Narayanan, Development of dual-etch via tapering process for through-silicon interconnection, Sensors and Actuators, A139(2007) 323.