

# 입력 에러 증폭 방법을 이용한 비터비 디코더의 회로 구현 미스 매칭 문제 개선

## Relaxation of the Circuit Mismatching of the Viterbi Decoder using Input Error Amplification

양창주\*, 마헤스워 사\*, 임해평\*\*, 김형석\*\*\*  
Changju Yang\*, Maheshwar Sah\*, Haiping Lin\*\* and Hyongsuk Kim\*\*\*

**Abstract** - 통신이나 저장 매체에서 에러 정정을 위해 사용하는 비터비 디코더를 1에 해당하는 회로와 0에 해당하는 회로로 나누어 구성하고 각 출력 값의 크기를 비교함으로써 디코딩을 수행하는 구조를 연구하였다. 특히, 디코딩회로를 하드웨어 구현 시의 mismatching에 대비하기 위해, 경로에러를 증폭하여 두 회로 출력 값 사이의 마진을 크게 하는 방법을 제안하였다. 제안한 구조에 대한 시뮬레이션 결과 노이즈가 매우 심한 경우에도 높은 에러 정정 성능을 보였다.

**Key Words** : 비터비 디코더, Trellis diagram, Input Error Amplification, Mismatching

### 1. 서론

신호 처리를 하는 다양한 기술 분야에서 Encoding 또는 Decoding하기 위해 데이터를 입·출력 할 때, SNR(Signal to Noise Ratio)가 작으면 작을수록 각각의 신호에 해당하는 부호를 생성하는 과정에서 오류가 발생한다. 아날로그 신호를 디지털 신호로 변환하여 데이터로 생성하는 과정, 예를 들어 무선 통신 시 주파수의 변·복조를 통해 데이터를 전송할 때 외부 환경에 의해 발생된 노이즈에 의해서도 오류가 빈번히 발생한다. 또한 자기 디스크 드라이브와 같이 PR(Partial Response)신호[2]를 사용하여 신호를 추출하는 분야에서도 리더기가 고속화된 신호를 읽어 들이는 것에 있어서 왜곡의 정도도 심해지는 현상이 일어난다.[1] 이러한 경우와 같이 잘못 전송된 데이터를 원래의 데이터로 복원하기 위해 사용되는 기법들 중, 데이터 기록 시에 전후의 상관관계를 갖도록 끼워 넣은 부호화된 데이터 계열과, 가장 근사한 계열을 선택하여 재생하는 비터비 복호 방식을 결합한 PRML(Partial Response Maximum Likelihood)[2] 신호 처리 방식을 기반으로 한 Circular Trellis diagram을 개선하였다.

본 논문에서는 제안한 Binary Path Trellis diagram(이산 경로 길쌈 구조)의 에러정정 우수성을 검증하기 위해 AWGN(Additive White Gaussian Noise) 환경 하에서 소프트웨어 시뮬레이션을 수행하고 비교 분석하였다.

### 2. 기존의 아날로그 비터비 디코더

기존의 순환형 아날로그 비터비 디코더는, Trellis diagram

의 각 노드에 최소값 연산을 수행하는 아날로그 신호처리 셀을 병렬로 배치한 구조[2]이며, 그림 1 과 같이 Multiplexer에서 순차적으로 입력 값을 받아 처리하는 구조로 되어있어서 순환형 구조로 동작한다.

아날로그 비터비 디코더 중 PRML신호[2]에 대한 Trellis diagram은 그림 1 과 같이 1과 0으로 구분 되도록 각 셀들을 상호 연결한 경로 중, 한쪽을 제거하여 얻은 누적된 에러 결과 값의 변화 추이를 통해 Decoding 하는 방식이고, 출력 값이 최소가 되는 경로를 최적 경로로 결정하여 에러를 정정하는 원리[3]를 사용하였다. 이러한 Decoding 방식은 각 상태에 따른 Decoding된 결과를 저장하는 Register Exchange 방식이 필요하지 않는 것으로, 수행 속도가 빠르고 아날로그 회로로 구현이 용이하다.

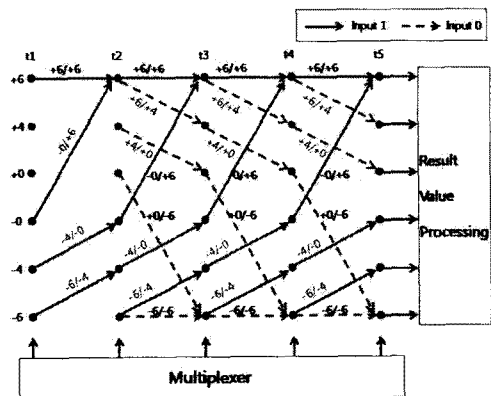


그림 1. 기존의 Trellis diagram

#### 저자 소개

- \* 正會員 : 全北大學 電子工學科 碩士課程
- \*\* 正會員 : 全北大學 電子工學科 博士課程
- \*\*\* 正會員 : 全北大學 電子工學科 教授 · 工博

그러나 각 Stage 별로 BMC(Branch Metric Computation) 과 ACS(Add-Compare-Select) 연산[3]을 수행하는 과정에서 누적된 에러 값의 변화 추이를 이용해 신호를 증폭하여

Decoding 하는 방식은 실제적으로 아주 정교한 Threshold Volt 값을 요구한다. 그림 2 에서 보는 바와 같이, 기존의 방식에서는 누적된 결과 값을 가지고 임의의 Threshold Voltage를 기준으로 Decoding하였다.

그러나 이러한 방식은 SNR특성에 따라 매순간 달라질 수밖에 없게 되면서 시스템이 한정된 SNR대역의 신호만 처리하게 됨을 의미한다. 또한 직접회로의 특성상, 웨이퍼 생성 과정 및 칩 제조 과정에서 시스템 내부에 mismatching[4]이 발생하기 때문에 이러한 문제를 해결하기 위해 회로 설계자의 수준 높은 노하우가 필요하게 된다. 그래서 이러한 문제를 해결함과 동시에 에러 정정 효율을 높일 수 있는 구조를 제안한다.

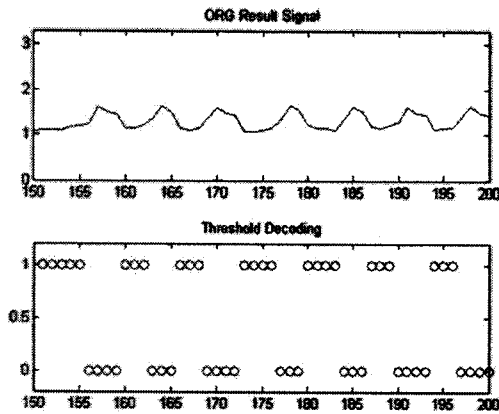


그림 2. 기존의 Threshold Decoding

### 3. 제한한 입력 에러의 증폭에 의한 디코딩 회로

앞 절에서 설명한 방법에 의하면, 0에 해당하는 회로와 1에 해당하는 회로 출력 단의 값을 비교하면 Decoding이 가능할 것이다. 즉, 1로 Decoding 되기 위해서는 1에 해당하는 회로의 출력이 0에 해당하는 회로의 출력에 비해 커야 하고, 그 반대의 경우도 성립해야 할 것이다. 노이즈가 없거나 회로가 정확히 구현되는 경우에는 상기 두 회로 출력의 구별성이 뚜렷하지만, 입력 노이즈가 점점 심해지거나 회로 구현의 부정확성이 커지게 되면 출력 값의 구별성이 점점 작아지다가 회로구현의 부정확성이 일정한 정도를 넘어서게 되면 결국 Decoding 에러를 발생하게 된다. 따라서 회로 구현 부정확성이 있는 경우에도 정확한 디코딩 결과를 얻기 위해서는 0회로와 1회로 출력 간의 마진은 커야할 것이다. 노이즈가 있는 경우에도 출력 값의 구별성이 크게 하기 위해서 본 논문에서는 Branch 에러를 증폭하는 방법을 사용하였다.

즉, 최종 출력을  $O_{final}$  이라 하고, 각 stage에서의 에러를  $e_1, e_2, e_3$  라고 하면,

$$O_{final} = \sum_{i=1}^k e_i \quad (1)$$

1과 0회로 출력 간의 마진은 1에 해당하는 회로의 최소 값과 0에 해당하는 회로의 최소 값 간의 차이 이므로,

$$O_{margin} = |\text{Min}(O_{final}^1) - \text{Min}(O_{final}^0)| \quad (2)$$

여기서  $\text{Min}(O_{final}^1)$ 은 1에 해당하는 회로의 출력 단 노드 값들 중 최소 값 이고,  $\text{Min}(O_{final}^0)$ 은 0에 해당하는 회로의 출력 단 노드 값들 중 최소 값 이다. 식 (2) 중 마진 값  $O_{margin}$ 을 A 배 만큼 크게 하기 위해서는

$$\begin{aligned} A \cdot O_{margin} &= A \cdot |\text{Min}(O_{final}^1) - \text{Min}(O_{final}^0)| \\ &= |A \cdot \text{Min}(O_{final}^1) - A \cdot \text{Min}(O_{final}^0)| \\ &= |\text{Min}(A \cdot O_{final}^1) - \text{Min}(A \cdot O_{final}^0)| \end{aligned} \quad (3)$$

식 (1)을 (3)에 대입하면,

$$\begin{aligned} A \cdot O_{margin} &= \left| \text{Min}\left(A \cdot \sum_{i=1}^k e_i^1\right) - \text{Min}\left(A \cdot \sum_{i=1}^k e_i^0\right) \right| \\ &= \left| \text{Min}\left(\sum_{i=1}^k A \cdot e_i^1\right) - \text{Min}\left(\sum_{i=1}^k A \cdot e_i^0\right) \right| \end{aligned} \quad (4)$$

이 된다. 식 (4)에서 보는 바와 같이, 0과 1에 해당하는 회로 간의 마진을 A배 만큼 키우기 위해서는 개별 branch 에러들을 A배 만큼 키운 후에 비터비 디코더의 ACS 연산[3]을 하여 누적되도록 하면 될 것이다.

그림 3 은 기존의 Trellis diagram[3]을 입력이 0에 해당하는 Branch에 연결된 회로와 1에 해당하는 Branch에 연결된 회로로 분리된 구조를 보여준다. 위쪽의 Trellis diagram은 1에 해당하는 회로이고, 아래쪽 Trellis diagram은 0에 해당하는 회로이다.

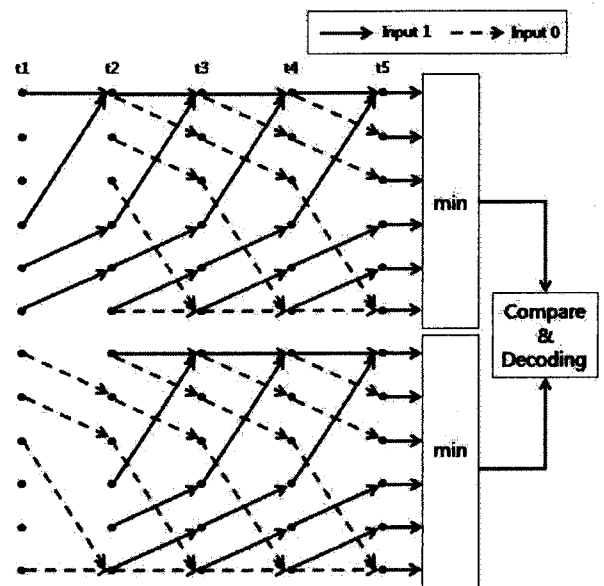


그림 3. 제한한 Binary Path Trellis diagram

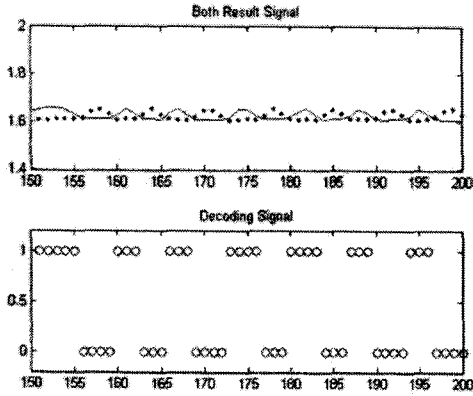


그림 4. 제안한 구조의 결과 값 및 Decoding

그림 4는 기존의 비터비 디코더의 출력을 예시한 것으로, 1.6보다 약간 높은 값을 기준으로 1과 0의 구별이 되는 것을 보여 주지만, 1과 0으로 구별되는 출력 값 차이가 매우 작기 때문에, 회로가 약간의 부 정확성을 포함 하고 있는 경우라면, 0이 되어야 할 출력이 1로 Decoding 되고 그 역의 경우도 쉽게 발생 할 것이다.

#### 4. 시뮬레이션 및 고찰

실험은 컨볼루션 코드 방식에 의해 생성된 Binary sequence를 변환한 PRML(Partial Response Maximum Likelihood)을 기반으로 하는 DVD PR(1,2,2,1) 신호[2]를 사용 했고,  $10^5$ 개의 데이터를 AWGN(Additive White Gaussian Noise) 환경 하에서 Decoding 시뮬레이션을 수행하였다.

그림 5에서는 Branch 에러를 각각 1, 2, 3, 5 배 했을 경우의 100,000 개의 입력 데이터에 대해서 출력 값 분포를 보여 준다. 그림에서 보는 바와 같이 에러의 증폭 값이 클수록, 0과 1 두 그룹 간의 출력 편차가 커지게 되고, 급기야 그림 5(D)에서와 같이  $[-0.25, 0.25]$ 의 범위에 해당하는 출력 값이 전혀 존재하지 않게 된다.

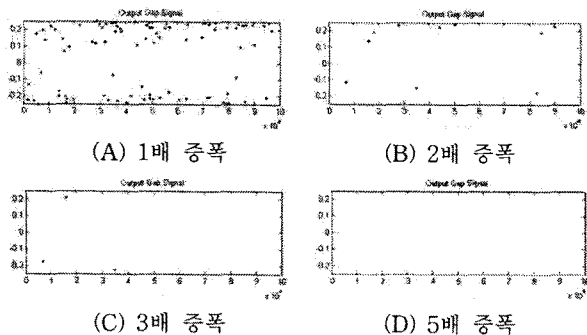


그림 5. 증폭 시킨 누적 에러 출력 값

그림 5에서 알 수 있듯이, 증폭을 5배 이상 할 경우 0을 기준으로 출력 값과 Threshold Volt 사이에  $\pm 0.25$ 의 충분한 변화폭을 갖고 동작할 수 있음을 보여주고 있다.

그림 6은 각 dB 별 BER(Bit Error Ratio)을 나타낸 그래프 이고 SNR 비가 클수록 좋은 Decoding의 정확성을 얻을 수 있음을 알 수 있다.

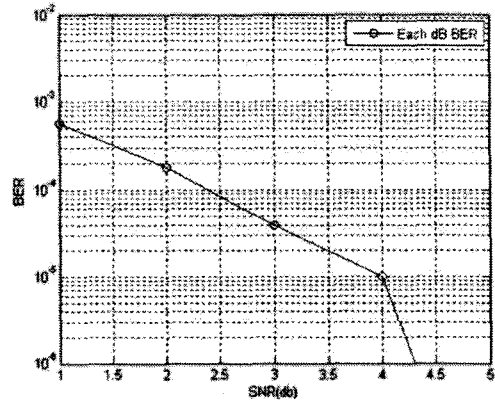


그림 6. 각 dB 별 신호들의 BER

#### 5. 결론

통신이나 저장 매체에서 여러 정정용으로 사용하는 비터비 디코더는 입력되는 데이터와 경로에 할당된 데이터와의 차이 값을 누적 활용하여 최적화 방법[2]에 의해 디코딩을 수행한다. 본 논문에서는 1의 경로에 해당하는 회로와 0에 해당하는 회로를 각각 5개 stage씩 구성하고, 각 출력 값의 크기를 비교함으로써 디코딩을 수행하였다. 디코딩회로를 하드웨어로 구현 시에는 mismatching[4]이 발생하므로 두 회로 값의 차이가 크지 않으면 에러를 발생할 소지가 있다. 본 논문에서는 경로에러를 증폭하여 두 회로 값 사이의 마진을 크게 함으로써 하드웨어 구현 시 mismatching이 있는 경우에도 정확한 디코딩을 할 수 있는 구조를 제안하였다.

시뮬레이션 결과  $10^5$ 개의 데이터에 대해서 SNR 1dB, 여러 증폭률이 5배 인 경우, 출력 값 차이의 마진이 0.25 V 이상이 됨을 확인하였다. 이는 하드웨어 구현의 부정확성으로 인해 약 0.25V의 출력 변동이 있는 경우에도 에러 없이 디코딩이 수행될 수 있음을 보여준다. 또한, SNR 2.5에서 BER이  $10^{-4}$ 으로서 우수한 성능을 얻을 수 있었다.

#### 참 고 문 헌

- [1] F. Dolivo, "Signal processing for high-density magnetic recording", Proc. of VLSI and computer peripherals, pp.1.91-1.96,1989.
- [2] Sun-How Jiang and Feng-Hsiang Lo, "PRML process of multilevel run length-limited modulation recording on optical disk," IEEE Trans. On magnetism, vol.41, no.2, pp.1070-1072, Feb.2005.
- [3] Hyunjung Kim, Hongrak Son, Jeonwon lee, In-cheon Kim and Hyongsuk Kim, "Analog viterbi decoder for PRML using analog parallel processing circuits of the CNN," 10th International workshop on Cellular neural networks and their application, Istanbul, Turkey, Aug.2006.
- [4] P. R. Kinget, "Device mismatch and tradeoffs in the design of analog circuits," IEEE J. Solid-State Circuits, vol.40, no.6, pp.1212 - 1224, Jun.2005.