범프리스 BGA 패키지의 휨 현상 최적화
Warpage Control of Bumpless BGA Package

*#홍주표 [1](jupyo77.hong@samsung.com), 문선희 [1], 김홍원 [1], 정두성 [1], 박승욱 [1], 강준석 [1], 가오샨 [1], 최석문 [1], 심현섭 [1]
*#J.P. Hong, S.H. Moon, H.W. Kim, D.S. Jung, S.W. Park, J.S. Kang, S.M. Choi, H.S. Shim
[1] 삼성전기 기술총괄 PKG 랩

Key words : Bumpless BGA, Warpage

1. 서론

전자 제품의 고성능화, 소형화 추세에 따라 반도체 패키지 또한 고성능의 경박단소화가 요구 되고 있으며 반도체 디바이스의 미세화 기술 및 고밀도 실장화 기술은 이러한 요구를 만족시킬 수 있는 주요 핵심 기술 중 하나이다 이를 위하여 90 년대 초 칩 스케일 패키지 (CSP)가 나온 이후 다양한 구조가 제안되고 있다. Bumpless BGA (Ball Grid Array)는 이러한 고밀도 실장성과 초소형화 요구를 충족시키는 패키지의 하나로 고밀도의 단자를 자유롭게 배치할 수 있고 와이어 본딩이나 범프를 사용하지 않는 직접 연결 방식을 사용함으로 신호의 고속 전송이 가능한 장점을 갖는다. 또한 차세대 반도체 후 공정 제조기술로 제안되고 있는 것은 웨이퍼 레벨 패키징 (Wafer Level Packaging) 방법으로 외부 단자의 결선 등 반도체 후 공정을 웨이퍼 상태에서 진행하고 최종 공정에서 칩을 단일화(Dicing)하기 때문에 패키지 제조 생산성을 극대화 할 수 있다. 웨이퍼 레벨 패키징 방법을 통하여 Bumpless BGA 패키지를 만들기 위해서는 일반적으로 단일화 한 칩을 웨이퍼 형태로 재구성하고 이를 이용하여 전기적 배선 등의 후공정을 진행, 최종 공정에서 각각의 단일 패키지로 분리하는 공정을 거치게 된다..

본 논문에서는 이러한 Bumpless BGA 패키지 공정 중 칩을 웨이퍼 형태로 재구성하는 공정에 있어 후공정의 공정성을 위한 웨이퍼 휨 현상(Warpage)을 최소화 하는 방법에 대하여 고찰하였다.

2. Bumpless BGA

Bumpless BGA 패키지의 기본 구조는 그림 1 에서와 같이 칩, 몰딩 영역, 보호층, 전기 배선 및 외부 단자에 연결된 솔더 범프로 이루어진다. 몰딩 영역 및 보호층의 형성은 단일화된 칩을 재배열하고 웨이퍼 형태로 재구성하는 과정에서 칩과 칩 사이의 간격 및 보호층을 몰드 재료 등으로 충진하여 이루어지며 이 과정에서 발생되는 재구성된 웨이퍼 캐리어의 휨 현상은 이후 이루어지는 전기 배선을 위한 도금 공정이나 외부 단자에 형성되는 솔더 범프 공정 등의 공정성 확보에 많은 영향을 미치게 된다. 따라서 웨이퍼형태의 재구성 공정에 있어 가장 중요한 기술 중 하나는 휨 현상을 최소화 하는 것이다.

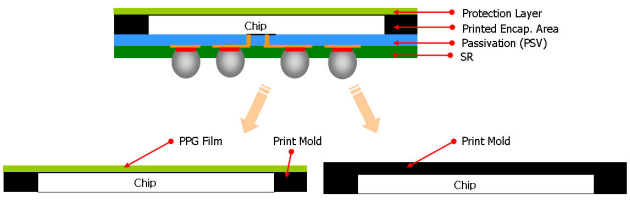


Fig. 1 Bumpless BGA Structure

그림 1 의 하단에 보인 구조는 앞서 언급한 보호층의 형성 방법에 따른 Bumpless BGA 패키지의 형태이다. Bumpless BGA 패키지는 크게 보호층에 사용되는 재료에 따라 라미네이션(Lamination) 필름을 사용하는 구조 (좌측 그림)와 몰드 재료를 사용하여 보호층과 몰딩 영역을 함께 구성하는 구조 (우측 그림)로 구분된다.

표 1 은 Bumpless BGA 에 적용한 재료의 대표적인 물성 값이며 이에 대한 결과는 그림 4 와 5 와 같다.

Table 1 Material Property of Mold and Lamination Material (PPG)

Material	E1 [GPa]	CTE1 [ppm/℃]	CTE2 [ppm/℃]
Print Mold 1	0.13 (E2)	-	90
Print Mold 2	8	7	25
PPG 1	32	13	-
PPG 2	10	10	-

본 논문에서는 보호층을 형성하는 과정 중 발생하는 휨 현상에 대하여 먼저 시뮬레이션을 통하여 최적화 하고 실제 결과와 비교, 검증하였다.

3. 결과

그림 2 는 칩과 패키지의 보호층과의 두께 비에 따른 휨 현상 시뮬레이션 결과이다. 칩과 보호층과의 두께비가 1.5~2 에서 가장 큰 휨 현상을 나타내며 이를 기준으로 칩이 두껍거나 혹은 보호층이 두꺼울수록 휨 현상은 감소하게 된다. 이러한 경향을 바탕으로 최적의 패키지를 구현하기 위해서는 칩의 두께는 두껍게, 보호층의 두께는 얇게 하는 것이 휨 현상에 유리하다.

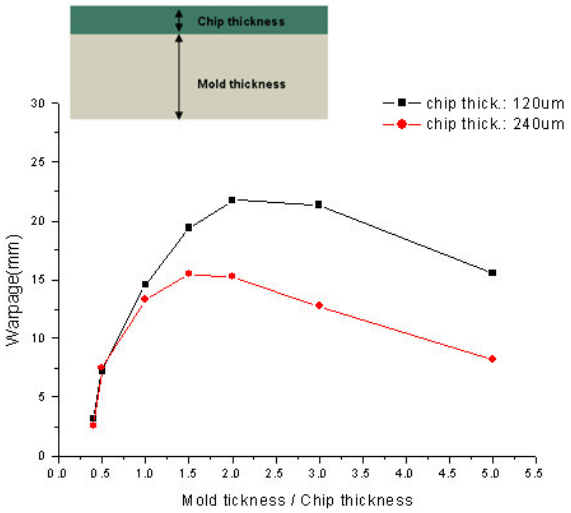


Fig. 2 Relationship between warpage and ratio of mold thickness/chip thickness

그림 3 은 보호층 및 몰딩 영역의 재료 특성에 따른 휨 현상을 상대적으로 비교한 결과이다. 그림에서 보듯이 보호층은 얇을수록, 보호층에는 라미네이션 필름(PPG)을 사용하고 몰딩 영역에는 몰드 재료를 사용한 경우가 가장 적은 휨 현상을 보였다.

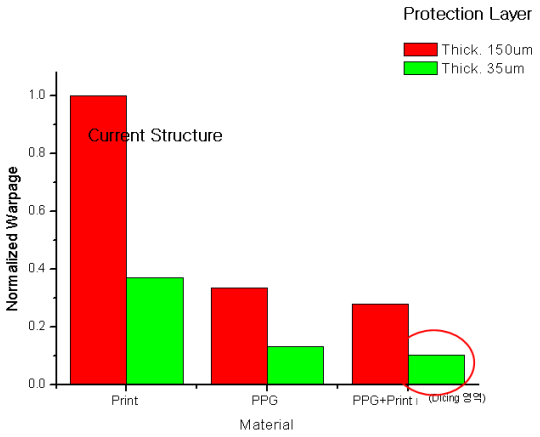


Fig. 3 Normalized warpage comparison with various materials as pan-out area and protection layer.

그림 4 와 5 는 표 1 에서 보인 보호층 재료 (PPG1, Print Mold2) 및 두께에 따른 휨 현상 시뮬레이션 결과이다. 보호층에 몰드 재료를 사용하는 경우 칩과 몰드 재료와의 열팽창계수차이로 인하여 Cry 형태(보호층 하면 위치 기준)의 휨 현상이 발생된다. 그러나 보호층으로 PPG 와 같은 라미네이션 필름을 사용하는 경우는 칩과 필름과의 열팽창계수 차이보다 칩과 칩 사이의 몰드재료와 보호층의 필름과의 열팽창계수차이로 인하여 휨 형상은 Smile 의 모양을 띄게 된다. 보호층의 재료에 따라 휨 현상 정도는 다르나 공통적으로 보호층의 두께가 얇을수록 휨 현상은 적게 발생된다.

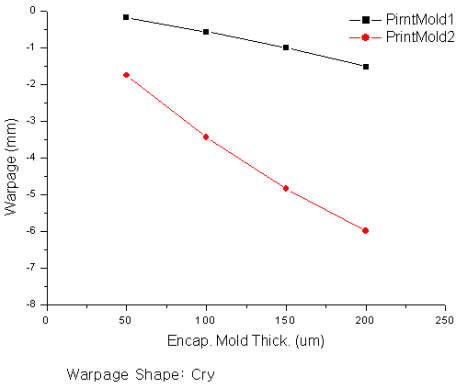


Fig. 4 Relationship between warpage and mold thickness as protection layer

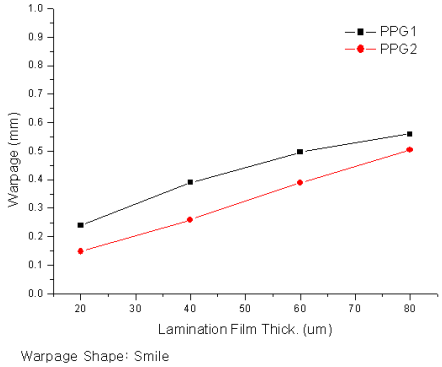
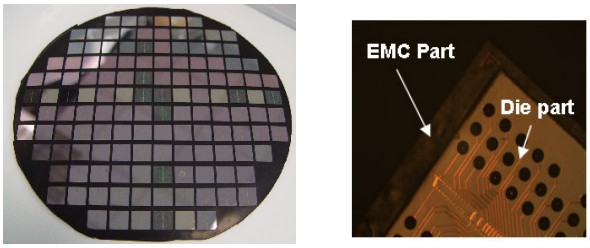


Fig. 5 Relationship between warpage and lamination film thickness as protection layer

이러한 결과를 바탕으로 실제 Bumpless BGA 패키지 공정을 진행한 결과는 다음과 같다. 그림 6 (1)은 재구성된 웨이퍼 형태의 캐리어이며 그림 6 (2)는 단일화 후의 패키지를 보여준다.



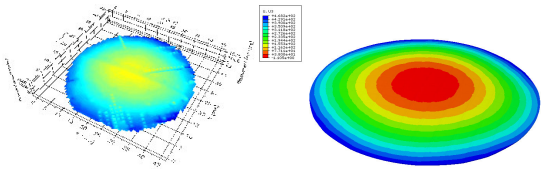
(1) Restructured Wafer Carrier (2) Bumpless BGA

Fig. 6 Bumpless BGA Package

표 2 은 시뮬레이션 결과와 실제 Bumpless BGA 패키지의 휨 현상을 비교한 결과를 보여준다. 시뮬레이션과 공정 결과의 오차는 몰드 영역 및 보호층의 균일성 등의 이유로 발생되었다. 그림 7 은 Bumpless BGA 패키지의 휨 현상을 측정한 결과와 시뮬레이션 결과에서 나타난 휨 현상 형태를 보여준다.

Table 2 Comparison between simulation and test results

보호층 재료	Thickness	Warpage (mm)	
		Simulation	공정 결과
PPG1	60 um	+0.496	+0.59
Mold2	15 um	-0.468	-0.651



(1) Warpage Measurement (2) FEM Results of Warpage

Fig. 7 Warpage of Bumpless BGA

4. 결론

본 연구에서는 Bumpless BGA 패키지 모듈 개발에 있어 생산 공정 중 웨이퍼 캐리어의 재구성 공정에서 발생되는 휨 현상을 최적화 하였다. Bumpless BGA 의 보호층이 웨이퍼 캐리어의 휨 현상에 가장 큰 영향을 미쳤으며 층의 두께가 얇을수록 휨 현상은 감소하였다.

본 연구에서 보인 설계 인자와 Bumpless BGA 패키지의 휨 현상과의 관계는 Bumpless BGA 개발에서의 반도체 후공정의 공정성을 향상시키는데 있어 기초적인 데이터로 활용될 수 있으며 이를 통하여 보다 신뢰성 있는 구조의 패키지를 개발할 수 있을 것으로 기대된다.

.

참고문헌

1. Steven N. Towle, Henning Braunisch, Chuan Hu, Richard D. Emery, and Gilroy J. Vandentop, “Bumpless Build-Up Layer Packaging” Intel Corporation
2. Kasuga Hasao, “CSP/BGA 플립칩 실장기술의 최근 동향”, 월간 전자기술, p121~126, 2000.
3. P. Garrou, “Wafer Level Chip Scale Packaging (WL-CSP): An Overview, IEEE Transactions on Advanced Packaging, Vol.23, No.2, 2000