3D Multi-chip packaging 을 위한 열 설계 및 열전 냉각 성능 시뮬레이션
Simulation of thermal design and thermoelectric cooling for 3D Multi-chip packaging

*장봉균 [1], #현승민 [1], 김재현 [1], 이학주 [1]
*B. Jang[1], #S. Hyun(hyun@kimm.re.kr)[1], J.-H. Kim[1], H.-J. Lee[1]
[1] 한국기계연구원 나노융합생산시스템연구본부

Key words : Thermoelectric cooling, Multi-chip packaging, Seebeck effect, Peltier effect

1. 서론

반도체 칩 제조 공정에서 집적화는 비용 절감 및 고효율화와 연관되기 때문에 많은 연구가 수행되고 있다. 하나의 시스템 안에서 여러 모듈을 집적화 시키기 위한 방법 중의 하나인 MCP(Multi-Chip Packaging) 기술은 3 차원 집적 회로를 제작하는 방법으로, device layer 를 여러 층을 쌓아 올려 프로세서와 메모리 등의 여러 시스템 모듈 등을 하나의 패키지에 구현하는 것이다[1]. 이러한 기술의 장점은 개별의 모듈을 이용하여 회로를 구성하는 것 보다 전력 소모가 적고, 소요 면적이 최소화 되어 제작 비용이 감소하며, 빠른 속도로 동작할 수 있다는 것이다. 하지만, 스태킹(stacking) 공정을 이용하여 칩을 쌓아 올렸을 때 문제되는 것이 열 발생에 따른 디바이스 성능 저하 및 수명 감소이다[2-4]. 기존의 칩 위에 2 차원으로 구성된 회로의 경우에는 열 발생 시 냉각 팬 등을 이용하여 열을 배출 시키는 것이 용이하지만, 3 차원으로 스태킹 된 MCP 기술을 이용하여 회로를 구성한 경우에는 효율적인 열 방출을 위한 방법을 강구해야 한다. 본 연구에서는 3D MCP 을 위한 열 설계에 열전을 이용한 능동 냉각을 이용하는 방법에 관하여 연구하였다.

열전 현상이란, 열 에너지를 전기에너지로, 또는 전기에너지를 열 에너지로 변환시키는 것을 말한다. 두 종류의 도체의 양쪽 끝에 일정한 온도차를 주었을 경우, 이에 비례하는 기전력이 발생하는 것을 제벡 효과(Seebeck effect)라고 하며, 이와 반대로 전류를 흘려 주었을 때, 도체의 한쪽에서는 열이 발생하고 다른 한 쪽은 열을 흡수하는 현상을 펠티에 효과(Peltier effect)라고 한다. 일반적으로 제벡 효과와 펠티에 효과는 동시에 발생하며 열전 성능이 뛰어난 물질에서의 전기적 특성과 열적 특성을 지배하게 된다.

본 연구에서는 MCP 기술을 이용한 MCM(Multi-Chip Module)을 가정하여 유한요소 해석을 수행하였다. MCM 에는 열 방출을 위한 범프를 설계하였으며, 적절하게 열전 소자를 배치하여 능동적으로 냉각이 가능하도록 하였다. 유한 요소 해석은 열 전달 해석과 열전 냉각 성능 해석을 수행하였으며, 열전 소자에 가해주는 전류에 따른 냉각 열량 및 효율에 대하여 평가하였다. 열전 소자를 이용한 능동 냉각을 통하여 MCM 을 효과적으로 냉각시킬 수 있음을 보였다.

2. 열전 냉각 지배방정식

열전 현상을 나타내는 지배방정식은 다음과 같다.

$$\vec{E} = \alpha \nabla T - \rho \vec{J} \quad (1)$$

$$\vec{q} = \alpha T \vec{J} + \kappa \nabla T \quad (2)$$

식 (1)은 열전 반도체의 전기장을 나타낸 식으로 제벡 효과를 나타내는 첫번째 항과 옴의 법칙을 나타내는 두번째 항으로 구성된다. 그리고 펠티에 효과를 나타내는 항과 열 전도를 나타내는 항이 합쳐져 열전 반도체에서의 열 이동을 지배하는 방정식이 식(2)이다. 위 두 식에서 α 는 제벡 계수(Seebeck coefficient)이며, 열전 현상이 일어나지 않는 물질의 경우에는 제벡 계수가 작기 때문에 식(1)과 (2)는 각각 옴의 법칙과 열전도를 의미하는 식이 된다. 제벡 계수가 0 이 아닌 열전 반도체의 경우에는 열과 전기에 관한 특성이 커플링 되어 있기 때문에 식 (1)과 (2)를 동시에 풀어서 해를 구하여야 한다. 이러한 복합 물리 해석을 통하여 열전 소자의 온도 분포 및 전압 분포를 구한 뒤, 가해주는 전력과 흡수하는 열량을 계산하여 MCM 에 사용되는 열전 소자의 냉각 효율인 COP(Coefficient of performance)를 다음과 같이 구할 수 있다.

$$COP = Q_c / P \quad (3)$$

일반적으로 열전 냉각 소자의 경우, 가해주는 전류에 따라서 냉각 효율이 달라지게 된다. 열전 소자에 가해주는 전류의 크기가 커지면 일반적으로 흡수하는 열량은 증가하게 되지만, 너무 큰 줄 열(Joule heating)에 의하여 발생하는 열이 증가하게 되어 효율이 감소하게 된다. 이러한 이유로 열전 소자의 구조가 결정되었을 때, 3 차원 유한 요소 해석을 수행하여 열전 냉각 소자의 효율을 평가하는 것이 필요하다.

3. 유한 요소 해석 모델 및 해석 조건

열전 능동 냉각 소자를 포함한 MCM 구조는 그림 1 과 같다. 50 μm 두께의 실리콘 칩 사이에는 열방출을 위한 범프가 설계되어 있고, 범프에는 10 μm 두께의 열전 물질이 위치하고 있다. 또한 열전 소자를 작동시키기 위한 전극이 기판위에 설계되어 있으며 전극과 범프 사이의 접합에는 A 솔더를 사용하여 연결하는 것으로 가정하였다. n 형 열전 반도체로는 Bi2Te3, p 형 열전 반도체로는 Sb2Te3, 전극과 범프의 재질은 구리로 가정하였으며 각각의 물성은 표 1 과 같다.

온도 경계조건은 상부 실리콘 칩의 윗면을 300 K, 하부 실리콘 칩의 아랫면을 285 K 로 고정시키는 조건으로 하였으며 그 밖의 경계에 대해서는 단열 조건으로 하였다. 전극의 한쪽 끝에서 전류를 흘려주는 것으로 가정하여 전류의 크기를 달리하여 유한요소 해석을 수행하였다.

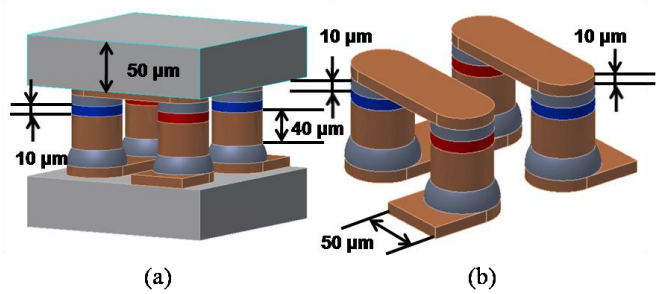

Fig. 1 Geometries of multi-chip packaging analyzed in this study. (a) Thermal bumps and TE units with silicon substrate, (b) Thermal bumps and TE units are illustrated.

Table 1 Material properties used in the FE analysis.

Materials	Thermal conductivity (κ)	Electrical conductivity (σ)	Seebeck coefficient (α)
n type TE (Bi_2Te_3)	1.6 W/m·K	7.69×10^4 S/m	-2.28×10^{-4} V/K
p type TE (Sb_2Te_3)	2.1 W/m·K	9.62×10^4 S/m	1.71×10^{-4} V/K
Electrode (Cu)	350 W/m·K	5.90×10^8 S/m	
Solder (Ag-Sn)	33 W/ m·K	9.09×10^8 S/m	
Substrate (Si)	130 W/m·K		

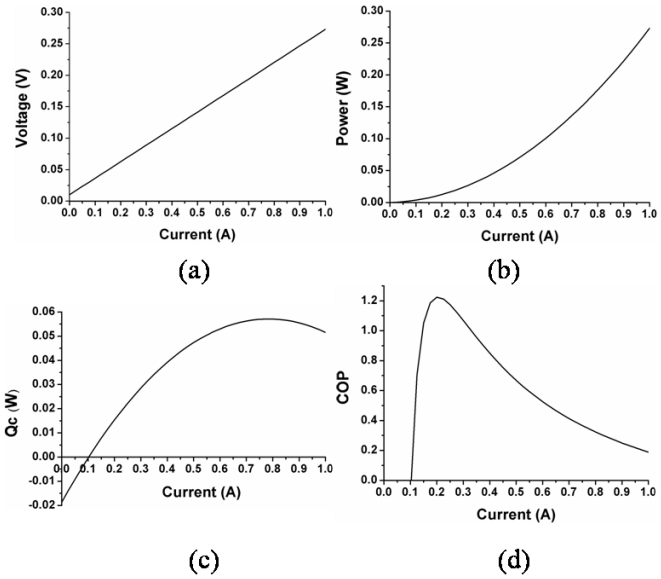

Fig. 2 Results obtained from FE analysis. (a) electrical potential, (b) power generated in TE cooling unit, (c) heat flow out of the thermoelectric device through cold side boundary and (d) COP of the unit.

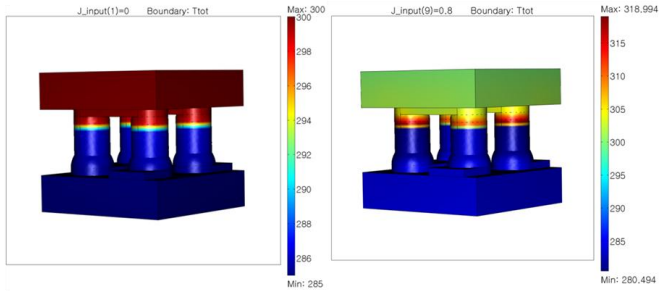

Fig. 3 Distribution of temperature when current is (a) 0 A and (b) 0.8 A.

4. 해석 결과

열전 냉각 소자에 전류를 가해 주었을 때, 발생하는 전압, 가해주는 전력, 냉각부에서 흡수하는 열량, 그리고 냉각 효율은 그림 2 와 같다. 전류를 흘려 주었을 때 옴의 법칙에 의하여 전압이 증가를 하는데, 이로 인하여 전력은 전류의 2 차함수 곡선을 그리며 증가하게 된다. 저온부에서 흡수하는 열량은 전류의 값이 0 일 때에는 음의 값을 갖는데, 이것은 열전 소자가 작동하지 않을 때에는 단순이 고온에서 저온으로 열전달이 일어나, 저온부에서는 열을 흡수하지 않고 방출하고 있다는 사실을 의미한다. 하지만 전류가 증가함에 따라서 저온부에서 열을 흡수하게 되고 전류의 값이 양의 값을 갖게 된다. 전류의 크기가 작을 때에는 저온부에서 흡수하는 열량이 증가하는 것을 볼 수 있다. 하지만 열전 소자에서 줄 열이 발생하게 되어 열전 소자에서 열을 방출하게 된다. 이러한 이유로 저온부에서 흡수하는 열이 점차 감소하게 된다. 유한요소 해석을 통하여 열전 소자가 작동하여 가장 많은 열을 흡수하게 되는 조건은 전류가 0.8 A 일 때이며, 이 때의 온도 및 전압 분포는 그림 3(b)와 같다. 전류가 0 A 일 때의 그림 3(a)와 비교해 볼 때, 열전 소자의 윗 부분의 온도가 고온 경계보다 19 K 정도 높은 것을 알 수 있다. 그리고 열전 소자의 아랫 부분의 온도는 저온부의 온도보다 4.5 K 작은 것을 확인할 수 있다. 이것으로 보아 열전 소자가 작동하면서 열전 소자의 한쪽 면은 온도가 증가하는 반면에 다른 한쪽은 온도가 감소하는 것을 알 수 있으며, 이를 통하여 열을 능동적으로 이동시킬 수 있는 것을 확인할 수 있다. 그림 2(d)로부터 열전 소자의 최적 냉각 성능을 보이는 전류의 크기는 0.2 A 부근으로 최대 흡열량을 보이는 전류의 크기와는 차이가 있음을 확인할 수 있다. 따라서 효율적인 측면에서는 전류를 0.2 A 정도 흘려 주는 것이 좋겠지만, 열량 흡수면에서는 그보다 더 높은 0.8 A 를 흘려 주는 것이 효과적이라고 할 수 있다.

4. 요약

MCP 기술을 이용한 반도체 칩에서 문제가 되는 방열 문제를 해결하기 위한 방법으로 열전 냉각 소자를 이용하여 열을 방출 시키는 방법에 관하여 연구를 수행하였다. 시뮬레이션을 통하여 열전 소자가 작동할 때, 흡수하는 열량을 계산할 수 있었으며, 열전 소자의 냉각 성능도 평가할 수 있었다. 이러한 열 해석 및 열전 해석을 통하여 적층 구조의 MCP 모듈을 위한 열 설계 및 효율적 냉각을 가능하게 할 수 있을 것이다.

후기

본 연구는 지식경제부, 산업기술연구회의 협동연구사업 일환인 “차세대 반도체 MCP 핵심 기술 개발 사업”의 지원에 의한 것입니다.

참고문헌

1. Al-Sarawi, S. F., Abbott, D. and Franzon, P., “A review of 3-D packaging technology,” IEEE Trans-CPMT-B, **21**, 2-14, 1994.
2. Majumdar, A., “Helping chips to keep their cool,” Nature Nanotechnology, **4**, 214-215, 2009.
3. Lee, Y. C., Ghaffari, H. T. and Segelken, J. M., “Internal thermal resistance of a multi-chip packaging design,” Electronics components conference, Proc. of the 38th, 293-301, 1988.
4. Shang, L., Peh, L., Kumar, A. and Jha, NK, “Thermal modeling, characterization and management of on-chip networks,” Microarchitecture, 37th Int. Symposium, 67-78, 2004.
5. Da Silva, L. W. and Kaviany, M., “Micro-thermoelectric cooler: Interfacial effects on thermal and electrical transport,” Int. J. Heat Mass Transfer, **47**, 2417-2435, 2004.