

액상 솔더를 이용한 Via Filling 및 저온 솔더 3D 패키징 Via Filling Technique with Molten Solder and Low Temperature Solder Bump for 3D Packaging

*고영기¹, 신의선¹, 유세훈¹, 이창우¹

*Y. K. Ko¹, Y. S. Shin, S. Yoo, #C.W. Lee(cwlee@kitech.re.kr)
한국생산기술연구원 용접접합기술지원센터

Key words : via filling, molten solder, 3D packaging, low melting temperature solder

1. 서론

전기소자의 I/O 수 증가 및 미세피치화에 따라 웨이퍼를 적층시키는 3D 패키징 기술이 대두되고 있다¹⁻². 3D 패키징 기술중 관통 실리콘 비아(Through Silicon Via, TSV)를 사용하는 웨이퍼를 적층하는 기술은 높은 집적도, 짧은 도선길이, 낮은 전력소비 및 낮은 RC delay의 장점으로 최근 많은 연구가 진행되고 있다. TSV는 관통비아를 형성한 후, 일반적으로 전기도금을 이용하여 충전하게 된다. 하지만, 미세한 직경과 높은 중형비를 갖는 관통비아의 경우, 균일한 씨앗층 형성이 어렵고, 관통비아의 윗쪽과 바닥간의 도금액 이온밀도의 차이가 크게 나게 되어 충전후 기공이 생기며, 이를 극복하는 연구가 많이 진행되었다³⁻⁴.

3D 패키징에서 칩을 적층하기 위해서, 기존에는 와이어 본딩이나, 솔더범프를 이용하여 2 개 이상의 칩을 적층하였으나, 범프의 피치 크기가 감소하게 되면서, 본딩시 인접한 솔더끼리 붙어버리는 브릿징의 발생이 현저히 증가하게 되었다. 따라서, 이런 문제점을 해결하기 위해 구리 기둥위에 솔더범프를 증착하는 구리-솔더의 필러범프(pillar bump)를 이용하여 접합하는 기술이 개발되었다.

본 연구에서는 용융 솔더를 이용한 TSV 충전 기술이 개발되었다. 이 기술은 Fig. 1 에서 처럼 용융솔더를 진공을 이용하여 TSV 를 채우는 방식이다. 이 방법은 충전속도가 수 초로 매우 빠르기 때문에 생산성 면에서 획기적인 방식이다. 이 방법은 또한, 비아의 직경이 다른 TSV 의 충전이 가능하다. 그리고, 칩을 저온 접합하기 위해 Sn-58Bi 범프를 형성시킨 필러범프를 제조하였다.

관통비아충진용 실리콘 웨이퍼의 초기 두께는 300 um 이었다. DRIE 를 이용하여 관통비아를 형성하였으며, 형성된 비아 구멍의 직경은 30 um 이었다. 그 후, 스퍼터링을 통하여 TSV 의 상부 및 비아벽에 Ti/Cu 를 증착하여 Fig. 2 와 같이 젖음층(wetting layer)를 형성하였다. 솔더로 관통비아를 충전하기 위해 웨이퍼 상부에 Sn3.5Ag0.7Cu 솔더페이스트를 도포시킨 후 250℃ 이상 온도를 가하여 용융상태가 되도록 하였다. 그 후, 하부챔버에 0.04Mpa 의 진공을 주어, 상부챔버의 용융솔더가 관통비아로 빨려 들어와 충전이 이루어 지게 된다. 실험변수는 온도, 시간, 압력차를 변화하면서 최적 조건을 고찰하였다. 각 조건에 따른 비아 충전후 단면을 주사현미경(FE-SEM)을 통해 관찰하였다. 필러범프를 형성하기 위해 Fig. 3 과 같이 전해도금을 이용해 높이 20 um 의 구리 필러를 형성하였고, 그 위에 높이 5 um 의 Sn58Bi 캡 범프를 형성 시켰다.

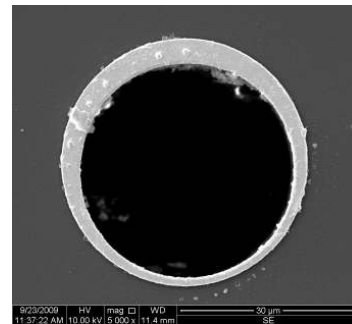


Fig. 2 SEM image of wetting layer

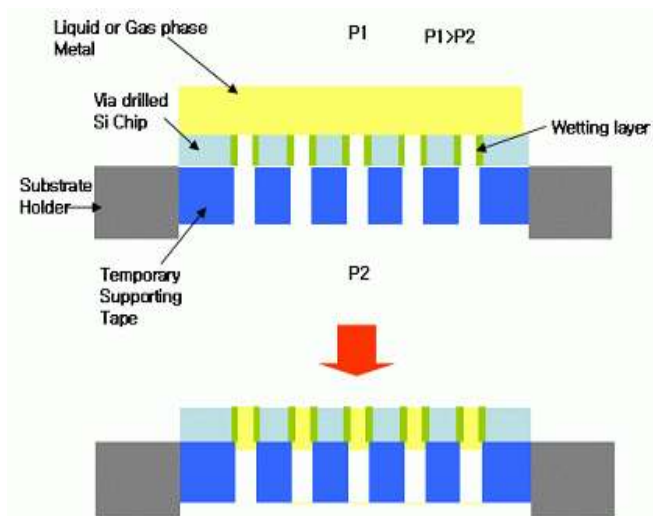


Fig. 1 Advanced via filling

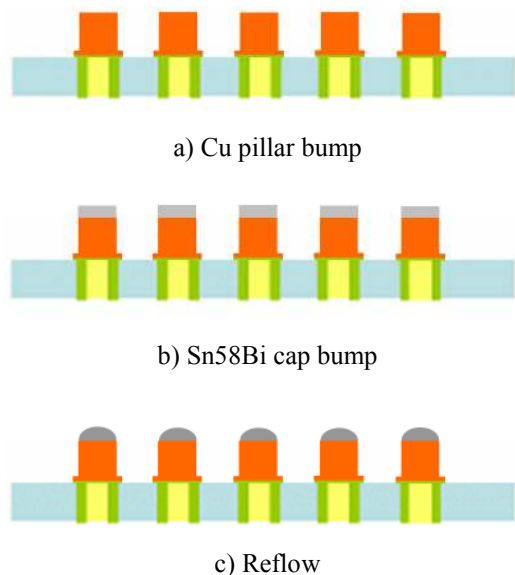


Fig. 3 Flow chart of bumping process

2. 실험방법

3. 실험결과

비아충진용 솔더는 Sn3.5Ag07Cu 이었으며, 온도를 250℃까지 상승시켜 TSV 가 형성된 웨이퍼 위에서 솔더 페이스트가 액상으로 변했다. 용융된 솔더를 하부챔버의 진공도를 0.04Mpa 로 올린 상태에서 약 3 초후 그림 4 와 같이 관통홀 내에 솔더가 충전되었다. 관통홀에 충전된 솔더의 단면을 관찰한 결과 기공이 발견되지 않는 완벽한 via filling 이 이루어 진 것을 알 수 있다. 하지만, 젖음층이 완벽하게 증착되지 않았던 TSV 내에서는 솔더의 충전이 제대로 이루어 지지 않았으며, 젖음층이 용융솔더의 충전에 큰 영향을 줄을 알 수 있었다.

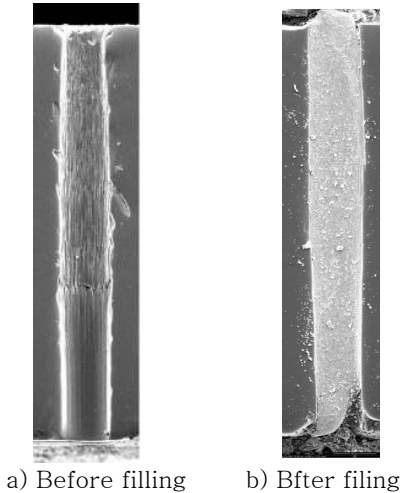


Fig. 4 Crossaction image of wafer with TSV

그림. 5 는 Cu pillar bump 및 Sn58Bi cap bump 가 형성된 것을 보여준다. 초기 형성된 기둥 모양의 cap bump 가 리플로우를 통해 구형의 cap bump 로 변해 기존의 200℃ 이상의 고온 리플로우 공정에 비하여 상대적으로 낮은 150℃의 리플로우 공정 조건에서 용융되어 접합이 가능한 것을 확인 하였다.

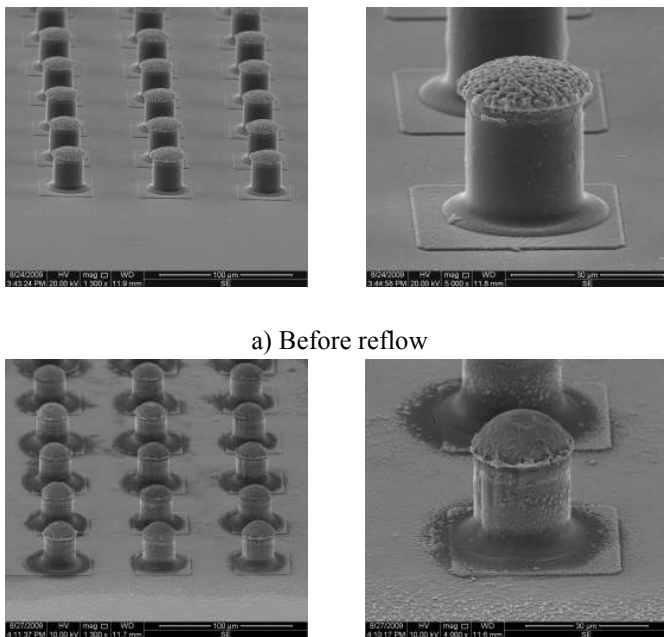


Fig. 5 Sn58Bi cap bump on Cu pillar bump

4. 결론

1. 관통홀이 형성된 웨이퍼에 전기적 interconnection 을 위한 전도성 물질을 채우는 공정인 via filling 기술에 용융 솔더의 응용가능성을 확인 하였다.
2. 본 기술은 약 3 초의 공정시간으로 관통홀 내에 솔더를 void 없이 충전시켜, 높은 완성도와 짧은 공정시간을 갖는다.
3. High aspect ratio 를 갖는 Cu pillar bump 에 저온계 솔더인 Sn58Bi cap bump 를 형성 시켜 미세 피치를 위한 저온 접합부를 형성 하였다.

후기

본 연구는 협동연구사업 차세대 반도체 MCP 핵심기술개발의 지원을 받아 수행되었습니다.

참고문헌

1. M. Datta, Microelectronic Packageng, CRC Press, Vol. 3, pp. 167
2. P. Zarkesh-Ha, "Anintegrated architecture for blobal interconnects in a gigascale system-on-a-chip (GSoC)", IEEE Symposium on VLSI Technology, June 2000.
3. J. J. Kelly and A. C. West, J. Electrochem. Soc., 145, 3472 (1998)
4. S. S. Stoukatch, et al., "Miniaturization using 3-D stack structure for sip Application," in SMTA Proc., 2003, pp. 613-620.