

수치해석을 이용한 TSV의 열기계응력 연구

Numerical Study of Thermo-mechanical Stress on TSV

#최진영¹, 송차규¹, 이행수²,*좌성훈¹

#J. Y. Choi¹, C. G. Song¹, H. S. Lee², S.H. Choa¹(shchoa@snut.ac.kr)

¹ 서울산업대학교 NID 융합기술대학원, ² 울산과학기술 대학 디지털기계학부,

Key words : Multi Chip Package, Through Silicon Via, Thermo-mechanical Stress, Reliability

1. 서론

TSV(Through Silicon Via)를 이용한 MCP (Multi Chip Package) 기술은 여러 개의 기판 혹은 다른 종류의 칩들이 stack 형태로 패키징 되는 기술이다. MCP 기술은 칩을 Z 축 방향으로 적층 하여 접합 면적을 최소화하는 이른바 3-D 패키징 기술 (3-D packaging technology)의 하나이다. 즉 하나의 독립적인 기능을 수행하는 장치를 시스템(system)이라고 하는데, 이렇게 하나의 시스템이 완성되기 위해서는 보드 위에 메인 칩을 비롯한 다양한 역할의 칩이 각기 실장 되고, 다시 여러 수동소자들이 실장 되어야 가능하다. 3 차원으로 칩을 적층 함으로써 로직(logic), 메모리(memory), 기타 디바이스 (device) 등 시스템을 구성하는 다양한 기능이 하나의 패키지에 통합되어진다. 현재까지는 수개의 칩이 각기 보드 위에 패키징 되어 왔으므로 보드 위에 패키지가 차지하는 면적이 상당히 클 수밖에 없었다. 하지만 칩 위에 칩을 접합하고, 그 위에 또 다른 칩을 접합하여 패키징 하게 되는 3-D 패키징을 이용하면 1 개의 칩을 실장 할 면적에 수개의 칩을 실장 하게 되므로 그 만큼 접합 면적에서의 이점이 생긴다.

패키지를 설계하고 제작하기 위해서는 패키지에서 발생 되는 신뢰성 문제와 패키지의 수명을 예측할 수 있는 신뢰성 설계 해석이 필수적이다. 특히 구리 TSV의 적용은 3D 패키징에 열적, 기계적 신뢰성 문제를 초래할 가능성이 많다. 구리는 실리콘 기판에 비하여 6~7 배의 높은 열팽창계수(CTE) 값을 갖는다. 따라서 TSV 공정 중에 발생하는 열응력은 소자의 신뢰성에 큰 영향을 미친다. MCP의 경우 패키지의 재료가 다른 여러 종류의 칩들이 적층될 가능성이 매우 많다. 또한 TSV hole의 직경이 작아짐에 따라 TSV에 발생하는 응력 집중을 무시할 수 없다. 이는 향후 낙하 충격 신뢰성 및 열 충격 신뢰성에 큰 영향을 미칠 수 있다. 또한 적층 시 및 솔더링 시에 발생하는 CTE mismatch에 의하여 패키지 전체의 warpage가 발생하고 이는 전체 패키징 시스템의 파괴를 초래할 가능성이 많다.

따라서 최근 TSV의 열 기계적응력에 대한 연구가 활발히 진행되고 있다[1,2]. Hsieh[3]는 4층으로 적층된 패키지에서 underfill 물질이 Cu via 및 silicon die에 미치는 영향을 sensitivity 해석을 통하여 고찰하였다. Selvanayagam 등[4]은 nonlinear stress/strain 해석을 통하여 Cu via, SiO₂ 및 silicon의 CTE mismatch로 인한 파괴 가능성을 제시하였다. Ramm 등[5]는 via 재질로서 W-plug를 사용한 경우와 Cu를 사용한 경우에 대해서 응력해석을 수행하였다. 그러나 TSV를 이용한 MCP 기술의 경우 기술의 종류가 매우 다양하고, 응용 제품에 대한 종류도 매우 많기 때문에 연구의 방향이 매우 제한적인 경향이 있다.

본 논문에서는 TSV 기술을 이용한 MCP 패키징에 대하여 via의 크기, via 피치 간격, underfill의 재질, underfill의 두께 등 MCP 패키징에 영향을 줄 수 있는 다양한 인자들에 대한 영향을 분석함으로써 향후 TSV 기술을 이용한 MCP 패키지 개발의 guideline을 주고자 하였다.

2. 해석 조건

Via hole의 크기와 hole 간의 pitch 등 설계변수들의 변화

에 대한 응력의 분포와 변형형상을 파악하기 위해 유한요소해석을 수행한다. 상용해석프로그램인 ANSYS를 이용하여 Fig.1(a)와 같이 8층의 si layer를 가진 3차원 TSV model을 구성한다. Via hole은 각 layer의 가장자리를 따라 배치되어 있고 layer와 layer 사이에는 underfill material이 채워져 있다. 본 연구에서는 전체모델 중 단위 via hole 주위의 응력 분포를 살펴보기 위하여 Fig.1(b)와 같이 두 개의 via hole을 포함하는 국부모델만을 사용한다. 변위경계조건으로서 Substrate 밑면에서의 두께방향 변위를 구속시키고 하중조건으로서 온도를 초기온도 -40°C에서 125°C로 증가시킨다. 4절점 사면체요소를 사용하며 전체 요소 수는 14400개이다. Si layer는 두께방향으로 4개의 요소, underfill layer는 두께방향으로 5개의 요소가 배치되도록 하여 유한요소의 세장비가 너무 커지는 것을 방지하였다. 구리는 소성을 고려하기 위해 kinematic hardening model로 표현되는 탄소성재료로서 모델링한다.

3. 해석 결과 및 고찰

Fig.2는 Cu 비아의 간격 즉 pitch가 증가함에 따른 Cu 비아 내에 걸리는 최대 von Mises 및 silicon die의 principal 응력의 변화를 나타내고 있다. Cu 비아에 작용하는 von Mises 응력에 크기는 silicon die에 걸리는 응력보다 매우 크다. 따라서 Cu 비아에 응력이 집중되고 있음을 알 수 있다. Cu 비아의 pitch가 25 μm에서 100 μm로 증가함에 따라서 Cu 비아 내의 응력은 증가하고 있다. 이것은 피치가 작아짐에 따라 전체 패키지에서 비아가 차지하는 면적이 작아지기 때문이다. 따라서 비아에 걸리는 단위 면적당의 힘이 증가되기 때문에 Cu 비아 내의 응력은 증가되는 것이다. 이러한 결과는 기존 연구 결과[1,2]와도 일치하는 것이다. 또한 비아의 크기를 5 μm에서 20 μm로 증가함에 따라 비아 내의 응력은 감소함을 알 수 있다. 비아의 단면적이 작아짐에 따라서 전체 패키지에서 비아 내에 작용하는 응력이 커지기 때문이다. 따라서 비아의 크기가 더 작아질 경우 Cu via의 파괴 가능성이 있다. 한편 silicon die에 걸리는 principal 응력은 피치가 증가함에 따라 약간 감소한다.

Fig.3은 비아의 직경이 10 μm, 피치가 50 μm인 경우에 Cu 비아 내의 von Mises 응력분포를 나타내고 있다. 응력은 Cu와 SiO₂ 박막 계면 및 Cu pad와 underfill 재질의 계면에서 최대가 됨을 알 수 있다. 비아에서는 비아 중간 부분의 응력이 비아의 top과 bottom 부분의 응력 보다는 큼을 알 수 있다. 또한 solder 부분에서는 응력이 매우 낮다. 피치가 25 μm로 작아진 경우에는 Fig.2에서와 같이 비아의 응력이 다른 비아에 영향을 미쳐 비아 내부의 응력 및 주변 silicon die의 응력이 증가됨을 알 수 있다.

Fig.4는 여러 underfill 재질을 사용하였을 경우 Cu 비아의 maximum von Mises 응력과 silicon die의 주응력을 나타내고 있다. Underfill 두께가 20 μm인 경우와 50 μm인 경우에 대해서 각각 수치해석을 수행하였다. ABF underfill 재질을 사용하였을 경우 von Mises 응력이 최대가 되고, 그 다음으로는 BCB를 사용하였을 때가 컸다. NUF 재질을 underfill 재질로 사용하였을 경우가 Cu 비아에서 발생하는 응력이 제일 낮았다. 물성 데이터를 보면 ABF의 CTE가 제일 크고, 그 다음으로 BCB가 크다. 따라서 underfill의

경우 CTE 가 Cu 비아의 응력에 가장 큰 영향을 미친다고 생각된다. Underfill 의 두께가 50 μm 로 증가될 경우 Cu 내의 응력이 증가되기도 하고 감소하기도 하였다. 한편 silicon die 내에서의 응력은 underfill 의 두께가 50 μm 로 증가되면 응력은 모든 underfill 재질에 대해서 증가하였다. 따라서 underfill 의 응력이 Cu 비아의 응력에 영향을 미치고 있음을 알 수 있으며, 가능한 CTE 가 낮은 재료, 그리고 underfill 의 두께를 가능한 작게 설계 하는 것이 바람직하다. 그러나 underfill 재질의 특성에 따라 Cu 비아의 응력 특성이 다르기 때문에 TSV 의 설계 시 열 응력에 대한 해석이 반드시 필요하다는 것을 알 수 있다.

TSV 공정에서 Cu 비아를 본딩 하는 방법에는 여러 가지 기술이 현재 개발되고 있다. 즉 본 논문에서 solder 를 사용하는 방법 외에 direct Cu to Cu bonding 을 사용하려는 연구가 진행되고 있다[6]. 따라서 solder(Cu₃Sn)를 사용한 본딩 방법과 direct Cu to Cu 본딩을 사용한 경우에 Cu 비아 내의 응력을 살펴보았다. Fig.5 는 그 결과를 보여주고 있다. Direct Cu to Cu 접합을 한 경우가 solder 를 사용한 경우에 비하여 응력이 높음을 알 수 있다. 따라서 direct Cu to Cu bonding 의 경우 공정 온도가 solder 접합에 비하여 매우 높은(약 300°C 이상) 것도 문제가 되지만, 패키지의 응력이 높아 열 기계적 신뢰성에 문제가 발생할 가능성이 있다.

4. 결론

본 논문에서는 TSV 를 이용한 MCP 패키지 개발 시 발생할 수 있는 열 기계적 신뢰성 문제를 예측하기 위하여 수치해석을 통하여 TSV 의 응력을 해석하였다. 응력이 최대가 되는 부분은 Cu 비아, Cu pad 및 SiO₂ layer 등의 계면에 집중됨을 알 수 있었다. Cu 비아의 크기가 감소함에 따라 Cu 비아에 작용하는 von Mises 응력은 증가한다. 또한 피치가 증가함에 따라서 Cu 비아에 작용하는 응력은 증가한다. Underfill 의 종류에 따라서 Cu 비아 및 silicon die 의 응력이 변함을 알 수 있었다. 응력은 underfill 재질의 CTE 값에 제일 많이 영향을 받는다. 따라서 가능한 CTE 값이 적은 underfill 재료를 사용하여야 한다.

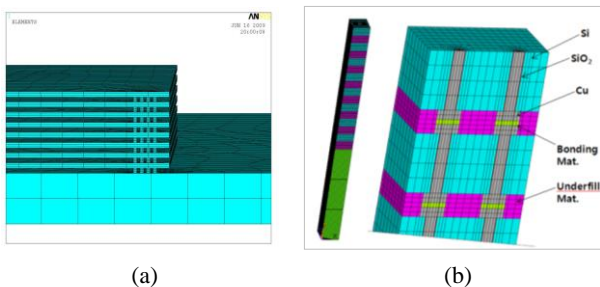


Fig. 1 (a) 3D finite element model of MCP packaging (b) Local model of TSV including 2 TSV holes

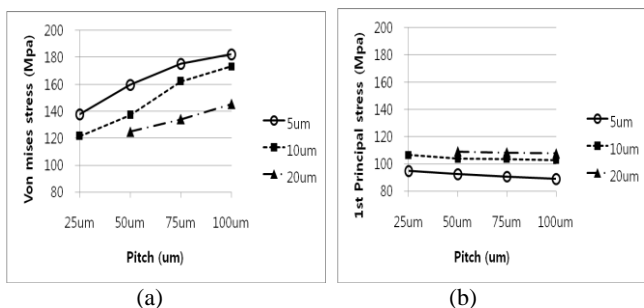


Fig. 2 (a) maximum von Mises stress in Cu via for different via diameter and pitch (b) maximum principal stress in silicon die for different via diameter and pitch

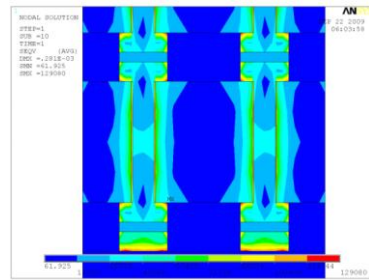


Fig. 3 Computed von Mises stress in Cu via

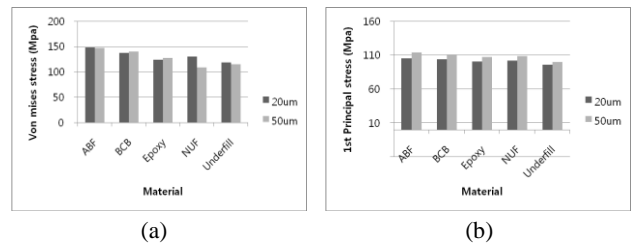


Fig.4 (a) maximum von Mises stress in Cu via for different underfill materials (b) maximum principal stress in silicon die for different underfill materials

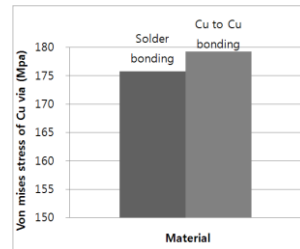


Fig.5 Von Mises stress comparison between solder bonding and Cu to Cu direct bonding

감사의 글

본 연구는 지식경제부, 산업기술연구회의 협동연구사업 일환인 "차세대 반도체 MCP 핵심기술 개발 사업"의 지원에 의한 것입니다.

참고문헌

1. T.S. Cale et al., "Three-Dimensional Integration in Microelectronics: Motivation, Processing, and Thermomechanical Modeling," Chem. Eng. Comm., **195**, 847-888, 2008
2. M. C. Hsieh et al., "Effects of Geometry and Material Properties for Stacked IC Package with Spacer Structure," EuroSimE Conf., 1-6, 2009
3. M. C. Hsieh, C. K. Yu, "Thermo-mechanical Simulations For 4-Layer Stacked IC Packages," EuroSimE Conf., 1-7, 2008
4. C. S. Sevanayagam et al., "Nonlinear Thermal Stress/Strain Analyses of Copper Filled TSV(Through Silicon Via) and their Flip-Chip Microbumps," Electronic Components and Technology Conference, 1073-1081, 2008
5. P. Ramm et al., "Through Silicon Via Technology – Processes and Reliability for Wafer-Level 3D System Integration," Electronic Components and Technology Conference, 841-846, 2008
6. 유세훈, 이창우, "3D 전자패키징용 관통실리콘비아의 충전 및 미세피치 접합기술," 대한용접·접합학회지, **27**, 17-22, 2009