

비전도성 접착제를 이용한 멀티칩 패키지의 초음파 접합 Ultrasonic bonding for multi-chip packaging bonded with non-conductive film

*이종범¹, 하상수¹, 조정래¹, 정승부¹

*J. B. Lee¹, S. S. Ha¹, J. L. Jo¹, #S. B. Jung (sbjung@skku.edu)¹

¹ 성균관대학교 신소재공학과

Key words : ENIG, NCF, ultrasonic bonding, multi chip packaging

1. 서론

최근 휴대형 멀티미디어 기기들의 고급화 및 슬림화에 따라, 빠른 신호처리가 가능한 고성능 반도체 칩의 개발 및 칩과 칩 또는 칩과 주변 디바이스들 간의 상호 신호전달을 위한 전자패키징 기술이 크게 요구되고 있다. 이에 따라 신뢰성과 전기적 성능이 우수한 동시에 생산 단가가 낮은 전자 패키징 기술에 대한 요구가 증가하고 있으며, 미세피치, 다핀화 등의 기술 요소와 친환경 공정 또한 중요한 항목이다.

대표적인 플립칩 접합 기술은 솔더, 접착제 또는 초음파를 이용하여 접합하는 방법 등이 있다. 솔더 범프는 우수한 기계적, 전기적 특성 및 자동화 공정이 용이한 장점을 가지고 있으나, 접합 공정 또는 사용 환경 중에 신뢰성에 취약한 금속간 화합물이 생성 및 성장하는 문제점을 가지고 있으며, 이러한 문제점은 피치가 미세화 됨에 따라 접합 품질 저하에 더욱 크게 영향을 끼치는 것으로 보고되고 있다.[1] 이에 반해, 이방성 전도성 접착제 (ACA: anisotropic conductive adhesive) 또는 비전도성 접착제 (NCA: non-conductive adhesive)를 이용하는 adhesive 범프는 금속간 화합물 성장에 따른 취성 파괴는 예방할 수 있지만, 습윤 분위기나 열충격 환경 내에서 신뢰성이 낮은 문제점이 있다.[2] 최근 들어, 이러한 접합법들의 문제점들을 해결할 수 있는 방법으로서 초음파 접합법이 부각되고 있다. 초음파 접합법은 초음파 진동을 이용하여 상온에서 수 초 이내에 다수의 범프를 기판과 동시에 직접 접합시키는 방법으로서, 플럭스나 세정제 사용이 없고 가스 발생이 없다는 점에서 친환경적 공정이 가능하다.[3] 특히, 초음파 접합법은 낮은 온도와 압력 하에서 정밀한 접합이 가능하고, 무플럭스 및 무세정 공정으로서 시편의 오염이 전무하다. 하지만 접합물질의 다양화 및 신뢰성의 측면에서 아직 완성도가 취약해 널리 적용되고 있지는 않은 실정이다.

3차원 칩 실장 기술은 실리콘 웨이퍼에 비아 홀을 형성하고, 형성된 비아 안에 전도체로 충전시켜 칩을 수직적으로 접속시켜 주는 기술이다. 이러한 3차원 칩 실장 구조로 인해 칩 간 접속 거리가 짧아짐에 따라 전기적 신호의 전송 속도를 증가시키고 소비 전력을 감소시킬 뿐만 아니라 기계적, 전기적 신뢰성을 보다 향상시킬 수 있는 장점이 있다. 더불어 3차원 칩 실장 기술을 적용할 경우 2차원 실장기술의 공간적 제약에서 벗어나, 다이를 수직으로 쌓아 올림으로써 메모리 용량을 손쉽게 두 배, 세 배 이상 늘릴 수 있게 된다. 뿐만 아니라 로직(logic), 수동소자, 광소자, 메모리, 중앙처리장치 등 시스템 구성을 위해 필요한 여러 소자들을 수직적으로 쌓아 올림으로써 작은 패키지 하나로 완성된 시스템을 구현할 수 있다는 장점도 지니고 있다[4,5].

따라서 본 연구에서는 멀티 칩 패키징 기술에 초음파 접합법을 적용하기 위한 기초 연구로서, NCF의 유무에 따라 범프를 접합한 후 기계적 특성을 연구하였다.

2. 3차원 패키지의 제조

Fig. 1은 Bosch 공정을 이용하여 via를 형성한 후 전기적 특성 평가를 할 수 있게 설계된 더미(dummy) 모듈의 제작 공정을 나타낸 것이다. Bosch 공정을 통해 via를 형성한 후, via를 충전시키기 위해서 먼저 via의 표면에 절연체를 증착시킨 후 seed layer를

증착하게 된다. Via를 충진을 위한 전도체로는 Cu, Ag, 솔더, metal alloy, CNTs 등이 연구되고 있다. 최근 발표되고 있는 논문에 따르면, 관통전극에 CNTs를 적용하고자 하는 연구 결과가 보고되고 있다. 이는 금속에 비해 CNTs가 열전도율이 우수하고 기계적 특성이 좋을 뿐만 아니라 금속을 적용한 관통전극에서 전류 흐름에 따른 electromigration 현상이 발생한 사례가 보고되고 있기에, 이러한 단점을 보완하기 위하여 CNTs를 이용한 접속 방법, 혹은 CNTs와 금속을 혼합하여 접속시키는 방법 등이 연구되고 있다[6]. 그러나 본 연구에서는 Cu 전해도금을 통해 관통전극을 형성하였다. Cu 전해도금이 완료된 후, CMP를 이용하여 도금된 표면을 균일하게 깎아주고 반대면의 남은 실리콘은 제거하였다. 그 후 범프를 형성하기 위해 PECVD를 이용하여 절연층을 증착하고, 범프가 형성될 위치를 opening 한 후 ENIG(electroless Ni/immersion Au) 도금을 실시하였다. 최종적으로 초음파를 이용하여 NCF 유무에 따라 기판과 관통전극이 형성된 carrier 칩을 먼저 접합한 후, 전기 저항을 측정할 수 있게 회로 설계된 dummy 칩을 2차 접합하였다. Fig. 2는 최종 접합된 시편으로 전기 저항을 측정하여 NCF의 3차원 칩 실장 기술로의 적용 가능성을 알아보았다.

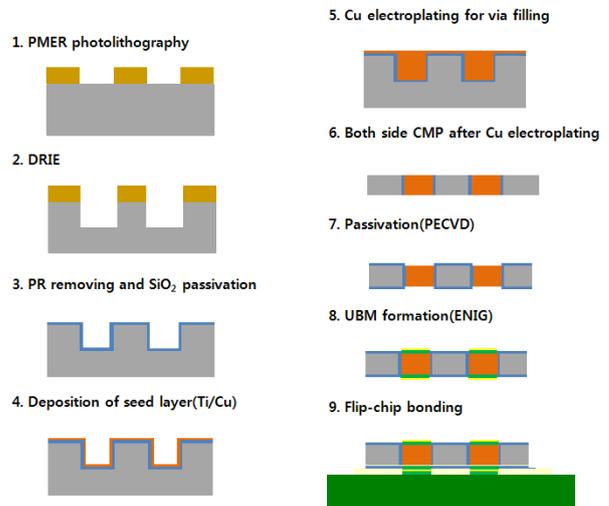


Fig. 1 Process for fabrication of Si die with TSVs and stacking for 3-D package using NCF

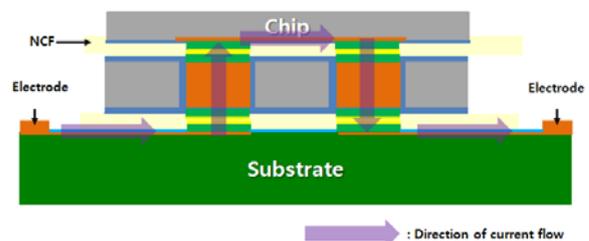


Fig. 2 Schematic illustration of the stacked package with NCF for electrical resistance measurement

3. 결과 및 고찰

최종적으로 3층으로 적층 접합된 시편의 저항 값은 NCF를 사용한 시편과 사용하지 않은 시편 각각 약 11.83 mΩ과 9.12 mΩ으로 측정되었다. 본 연구팀의 선 연구결과[7]에 따르면 Cu 충전 된 관통 전극의 저항은 약 1.08mΩ으로 관통 전극은 전체 저항에 크게 영향을 미치지 않지만 NCF의 접합 계면 잔류에 따른 전기 저항의 차이를 관찰하였다. 초음파를 이용한 접합 시편의 접합 강도는 NCF를 사용한 시편이 사용하지 않은 시편 보다 높게 나타났으나 접합강도의 오차가 크게 발생하였다. 대기 압 플라즈마 공정 또는 패드 표면 처리 (wet cleaning) 등의 방법을 최적화하여 접합 강도 오차를 줄일 수 있을 것 이라 사료된다.

4. 결론

본 연구에서는 실리콘 웨이퍼에 via를 형성하고, Cu 전해도금을 통해 via를 충전한 후 층간의 interconnection 재료로 NCF를 이용하여 3층(3-D) 패키지를 제조하였다. 전해 도금 실시 후 ACF를 이용하여 기판과 carrier 칩, 전기저항 평가가 가능하도록 설계 된 dummy 칩을 ACF를 이용하여 3층으로 접합한 후 전기 저항을 측정하였다. 전기 저항 측정 결과 저항 값은 NCF를 사용한 시편과 사용하지 않은 시편 각각 약 11.83 mΩ과 9.12 mΩ으로 측정되었다. 적절한 변수 제어와 공정 방법의 개선이 이루어진다면 NCF를 이용한 다양한 3차원 칩 패키지의 제조가 충분히 가능할 것으로 사료된다.

후기

본 연구는 지식경제부, 산업기술연구회의 협동연구사업 일환인 "차세대 반도체 MCP 핵심기술 개발 사업"의 지원에 의한 것입니다.

참고문헌

1. J.M. Koo and S.B. Jung, "Interfacial Reaction and Bump Shear Property of Electroplated Sn-37Pb Solder Bump with Ni Under Bump Metallization during Multiple Reflows", Adv. Mater. Research, 181, 15-17, 2006.
2. J.W. Kim, Y.C. Lee, D.G. Kim and S.B. Jung, "Reliability of Adhesive Interconnections for Application in Display Module", Microelectron. Eng., 2691, 84, 2007.
3. H. Maruo, Y. Seki and Y. Unami, "Development of Ultrasonic Flip Chip Bonding for Flexible Printed Circuit", Proceeding of HDP'04, 307, 2004.
4. K. Hara, Y. Kurashima, N. Hashimoto, K. Matsui, Y. Matsuo, I. Miyazawa, T. Kobayashi, Y. okoyama and M. Fukazawa, "Opimization for chip stack in 3-D packaging", IEEE Transactions on Advanced Packaing, 28, 367-376, 2005.
5. B. Morgan, X. Hua, T. Iguchi, T. Tomioka, G.S. Oehrlein and R. Ghodssi, "Substrate in terconnect technologies for 3-D MEMS packaging", Micro-electronic Engineering, 81, 106-116, 2005.
6. S. Sato, M. Nihei, A. Mimura, A. Kawabate, D. Kondo, H. Shioya, T. Iwai, M. Mishima, M. Ohfuti, and Y. Awano, Proceedings of the 2007 IEEE International Interconnect Technology Conference (IITC),204, 2007.
7. J.W. Km, S.B. Jung : Fabrication and electrical characterization of through-Si-via interconnect for 3-D packaging, J. Micro/Nanolith. MEMS MOEMS, 8(1), 013040, 2009.