

친수성 표면의 자가정렬 효과와 플라즈마를 이용한 MCP 용 저온 실리콘 Oxide 접합 방법

Plasma Enhanced-Low Temperature Silicon Oxide Bonding with Self-Alignment Effect between Hydrophilic Surfaces for Multi-Chip Packaging

*#이재학¹, 하태호¹, 이창우¹, 송준엽¹, 유종돈²

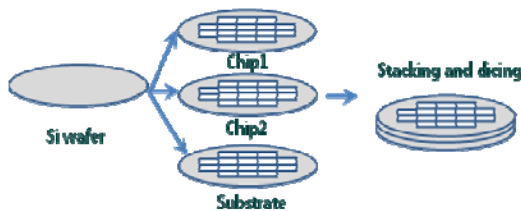
*#J. H. Lee(jaehak76@kimm.re.kr)¹, T. H. Ha¹, C. W. Lee¹, J. Y. Song¹, C. D. Yoo²

¹ 한국기계연구원 초정밀기계시스템연구실, ² 한국과학기술원 기계공학과

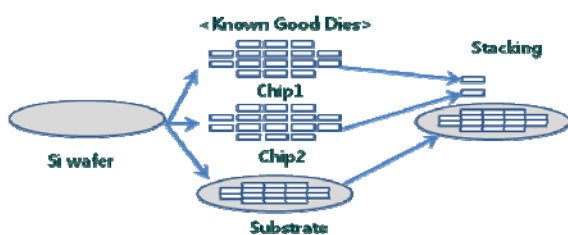
Key words : Plasma, Silicon Oxide Bonding, Low Temperature Bonding, Hydrophilic, Self-Alignment

1. 서론

컴퓨터와 모바일 기기의 성능이 고성능화되면서 큰 메모리 용량과 고성능의 IC가 요구되고 있어 TSV (Through Silicon Via)를 이용한 3D 적층 패키징 기술을 적용하려는 연구가 활발하다. 기존의 와이어 본딩을 이용한 3D 적층 패키징 방법은 상대적으로 작은 집적 밀도를 갖는 제품에는 적용이 가능하지만 신호 개수가 많은 고집적 및 고성능 제품에는 적용이 어렵다. TSV를 이용한 3D 적층 패키징 방법은 각층의 매우 얇은 실리콘 칩에 수십 μm 직경의 미세한 금속 via를 형성하고 수직으로 적층하여 전기적인 신호를 interconnection 하는 방법으로 와이어 본딩에 비해 높은 집적 밀도와 신호선의 interconnecton 길이를 최소화 할 수 있는 장점이 있다.



(a) W2W Bonding



(b) C2C/C2W Bonding

Fig.1 W2W Bonding Vs. C2C/C2W Bonding Process

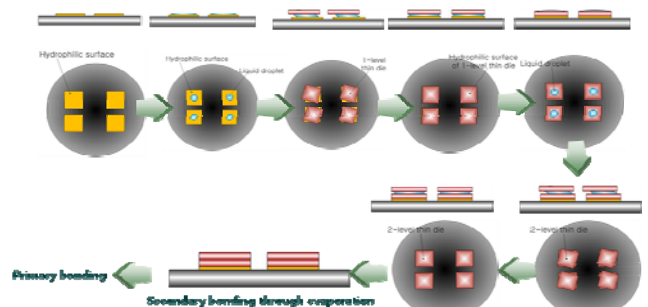
3D 적층 패키징 방법은 접합하려는 대상물이 웨이퍼 혹은 칩이냐에 따라 Fig.1 과 같이 크게 W2W(Wafer to Wafer) 접합, C2C(Chip to Chip) 접합, C2W(Chip to Wafer) 접합으로 나뉜다. 최근에 이미지 센서와 메모리 제작에 TSV를 이용한 3D 적층 방법을 이용하여 W2W 접합을 통하여 실험실 단위에서 성공한 사례가 발표되고 있다. W2W 접합은 웨이퍼 레벨에서 웨이퍼와 웨이퍼를 접합한 후 싱글레이션을 통해 칩을 제작하는 방법으로 각 층을 접합 시 정렬 및 핸들링이 용이하여 대량 생산에 적합하다. 하지만 웨이퍼의 일부분에 손상된 칩이 있는 경우 해당 부분의 접합된 칩은 사용이 불가능하므로 값비싼 칩의 손실이 커 수율이 낮은 단점이 있다. 이러한 수율 문제는 적층 수가 증가할수록 커지므로 실제로 TSV를 이용한 W2W 접합 방법이 양산에 적용되기 위해서는 더욱 많은 시간과 비용이 요구된다.

TSV를 이용한 3D 적층 W2C과 C2W 접합 방법은 적층 시 고속 정렬이 요구되고 핸들링이 어려운 단점이 있지만 접합 시 양품의 KGD (Known Good Die)만을 이용하므로 수율이 높은 장점이 있다. 따라서 적층 시 고속 정렬에 대한 문제가 해결되면 W2W 접합에 비해 양산에 적용이 유리할 것으로 판단된다. T. Fukusihima는 처음으로 W2C 접합에 친수성 표면의 자가 정렬 효과를 이용하여 고속으로 칩과 웨이퍼를 정렬할 수 있음을 보였다.

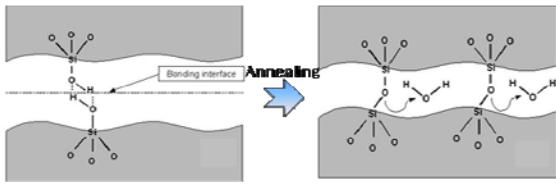
본 연구에서는 TSV를 이용한 3D 적층 W2C/C2C 접합 방법으로 플라즈마를 이용한 실리콘 Oxide 저온 접합 방법에 관한 연구와 실리콘 Oxide 저온 접합 시 플라즈마를 이용하여 실리콘의 소수성 표면을 친수성 표면으로 처리함으로써 친수성 표면의 자가정렬효과로 고속으로 정렬하여 접합하는 방법에 관한 연구를 수행하였다.

2. 친수성 표면을 이용한 자가 정렬효과를 이용한 실리콘 Oxide 접합 방법 개요

Fig.2는 친수성 표면의 자가 정렬 효과를 이용한 실리콘 Oxide 저온 접합 방법을 이용한 3D 적층에 관한 공정을 개략적으로 나타낸 그림이다. 먼저 웨이퍼 표면에 칩을 위치시킬 영역을 플라즈마 처리를 통해 선택적으로 친수성 표면으로 생성하고 DI water를 친수성 처리된 웨이퍼 표면에 떨어뜨리고 친수성 처리된 칩을 위치시킨다. 이때 DI water는 친수성 표면에 젖음이 발생하고 표면에너지를 줄이는 방향으로 칩이 이동하여 웨이퍼 표면의 친수성 처리된 표면에 정확히 정렬된다. 같은 방법으로 여러 개의 칩을 적층하고 오븐에 넣어 물을 증발시키면 각 칩이 정렬되고 웨이퍼 표면의 친수성기 실라놀그룹(-Si-OH)의 수소 결합에 의해 Pre-bonding 된다. 이렇게 Pre-bonding된 웨이퍼와 칩은 자유롭게 핸들링 가능한 장점이 있어 접합 시 정밀한 지그가 요구되지 않는 장점이 있다. 마지막으로 화학결합인 실록산브드(-Si-O-Si-)를 형성하기 위해서 오븐에서 높은 온도로 가열하여 화학결합을 통해 접합을 한다. 친수성 표면의 자가정렬을 이용한 실리콘 Oxide 접합 방법은 칩을 정밀하게 정렬하지 않더라도 자동으로 정렬되므로 접합 시 정밀한 정렬을 위한 지그가 요구되지 않고 pre-bonding된 후에는 자유롭게 핸들링이 가능하므로 기존 C2C/C2W 접합



(a) Silicon oxide bonding process using self-alignment between hydrophilic surfaces



(b) Silicon oxide bonding mechanism

Fig.2 Schematic view of silicon oxide bonding using self-alignment

방법의 단점을 해결할 수 있을 것으로 판단된다.

3. 실험

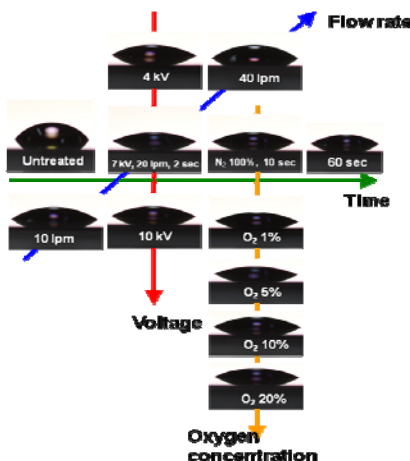
먼저 플라즈마 표면 처리 조건을 찾기 위해 N₂ 대기 플라즈마와 O₂ 대기 플라즈마의 표면 처리 조건에 따른 실리콘 표면의 젖음성 변화를 접촉각 측정기(KRUSS DSA 100)를 이용하여 측정하였으며 친수성 표면의 자가 정렬 성능을 평가하기 위하여 oxide 가 형성되지 않은 Si 칩과 1000Å 두께의 thermal Oxide 가 형성된 Si 칩을 10mm x 10mm 크기로 준비하여 오차를 측정하였다.

친수성 표면의 자가정렬을 이용한 실리콘 oxide 저온 접합 방법을 평가하기 위하여 실제로 SiO₂-SiO₂ 의 C2W/C2C 접합을 수행하였다. 공정 순서는 먼저 실리콘 칩과 웨이퍼를 Piranha 용액(H₂SO₄:H₂O₂=2:1)을 이용하여 크린닝하고 O₂ 진공 플라즈마를 이용하여 웨이퍼 및 칩의 표면을 친수화 시킨 후 자가정렬을 위해 DI water 를 떨어뜨린 후 칩을 자가정렬 시켰다. 자가정렬 후 오븐에서 35°C로 가열하여 DI water 를 증발시켜 pre-bonding 하였다. Pre-bonding 시 가열 온도가 50°C 이상인 경우 과도한 증기압에 의해 pre-bonding 되지 않고 칩이 분리되는 문제가 발생하였고 따라서 pre-bonding 온도가 50°C이하가 되도록 하였다. 마지막으로 Pre-bonding 된 시편을 260°C로 가열하여 실리콘 Oxide 접합을 수행하였으며 940nm 파장의 IR 조명을 이용하여 접합부를 관찰하였다.

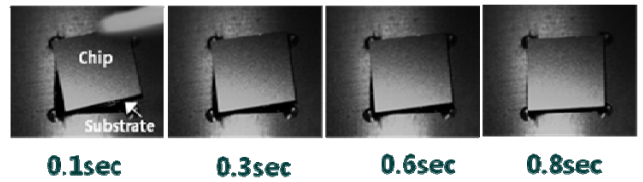
4. 결과 및 고찰

4.1 플라즈마를 이용한 실리콘의 친수성 표면의 자가정렬 결과

Fig.3 (a)는 플라즈마 처리 조건에 따른 SiO₂ 표면의 접촉각 측정 결과이다. 플라즈마를 처리하지 않은 경우 접촉각은 53.5° 로 크지만 70kV, N₂ 가스의 유량 20lpm 에서 2sec 이상 처리할 경우 접촉각은 35° 로 작아져 친수성이 높아지는 것을 알 수 있다.



(a) Contact angle variation of SiO₂ by plasma activation



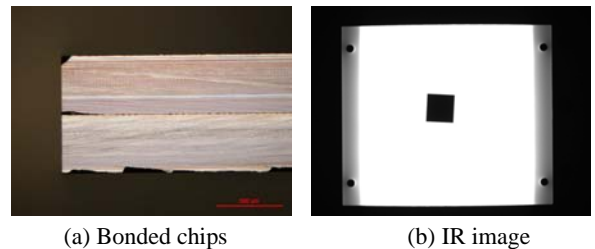
(b) Self-Alignment behavior of hydrophilic surfaces with respect to time

Fig.3 Investigation of self-alignment behavior of plasma activated hydrophilic surfaces

Fig.3 (b)는 N₂ 대기 플라즈마를 이용하여 친수성 표면 처리한 SiO₂ 칩의 자가 정렬 거동을 관찰한 사진으로 1sec 이내에 고속으로 정렬됨을 알 수 있으며 이때 정렬 오차는 5 μm 이내임을 알 수 있었다.

4.2 친수성 표면의 자가정렬효과를 이용한 실리콘 Oxide 접합 결과

Fig. 4 (a)는 260°C로 가열하여 실록산 결합을 형성하여 접합한 C2C 접합 시편을 보여주고 있으며 친수성 표면의 자가 정렬 효과에 의해 정렬하게 정렬되어 접합되어진 것을 확인할 수 있다.



(a) Bonded chips (b) IR image

Fig.4 Self-aligned and bonded chips

Fig. 4 (b)는 접합 시편의 IR 이미지를 나타내고 있으며 자가정렬을 위해 사용한 DI water 에 의해서 추가적인 결합 발생 없이 칩 전 영역이 고르게 접합이 이루어졌음을 확인할 수 있다.

5. 결론

본 연구를 통하여 친수성 표면의 자가 정렬 효과를 이용한 저온 실리콘 oxide 접합에 적용하여 고속으로 C2C/C2W 접합을 수행할 수 있는 방법을 제안하였으며 실험 결과 자가 정렬 후 정렬 오차는 5 μm 이내로 매우 작았으며 260°C의 낮은 온도에서 기공과 같은 결함이 없는 접합부를 얻을 수 있었다.

후기

본 연구는 지경부/산업기술연구회의 협동연구사업 일환인 “차세대 반도체 MCP 핵심 기술개발사업”의 지원에 의한 것입니다.

참고문헌

1. T. Matthias, V. Dragoi, and P. Lindner, “ Aligned fusion wafer bonding for wafer-level packaging and 3D integration”, IMAPS 2005, PP. 715-725.
2. T. Fukushima, Y. Yamada, H. Kikuchi, and M. Koyanagi, “New three-dimensional integration technology using self-assembly technique”, IEEE International Electron Devices Meeting Technical Digest, 2005, pp.359-362.