

# 반도체칩 내부결함 검사 테스트 베드 설계 Inspection Test Bed Design for Inner Defects in Semiconductor Chip

\*#하태호<sup>1</sup>, 이창우<sup>1</sup>, 이상윤<sup>2</sup>

\*#T. H. Ha (taehoha@kimm.re.kr)<sup>1</sup>, C. W. Lee<sup>2</sup>, S. Y. Lee<sup>2</sup>

<sup>1</sup> 한국기계연구원 나노융합·생산시스템연구본부, <sup>2</sup> (주) 인텍플러스

Key words : NDT, X-ray, Inspection, Energy subtraction, Chip

## 1. 서론

휴대폰과 같은 모바일 IT 기기의 수요는 폭발적으로 증가하고 있으며 다기능화, 고성능화, 경박단소화가 요구되고 있다. 이와 같은 요구를 만족시키기 위하여 회로의 미세패턴화, Flip chip 방식 또는 CSP (Chip Scale Packaging) 방식, TSV(Through Silicon Via) 방식을 이용한 3 차원 적층구조의 칩의 개발이 진행되고 있다.

이와 같은 칩의 BGA(Ball Grid Array) 표면 범프의 3 차원 형상 또는 결함을 측정하는 외관검사의 경우, 레이저, 간섭계, 공초점 현미경 등을 이용한 AOI (Automatic Optical Inspection) 방식으로 측정이 행해지고 있다.

그러나, Fig. 1 과 같이 웨이퍼 상에 형성된 집적회로에 솔더 범프를 형성하고 외부 접속을 위한 커넥터에 연결하기 위해 뒤집어 (Flip) 접착을 하는 Flip chip 방식과 같이 접합부위가 외부로 노출되지 않는 경우, 또는 솔더 범프 내부의 Void 와 같은 내부 결함이 존재하는 같은 경우는 AOI 방식의 측정이 불가능하다 (Fig.2).

내부 결함 검사를 위한 방법으로는 IR Imaging, SAM (Scanning Acoustic Microscopy), X-ray 를 사용하는 방법이 있다. 이중 X-ray 는 높은 분해능을 가지고 있으며, SAM 과 같이 초음파 결함물질을 필요치 않으며, 단일 이미지로 모든 인터페이스를 관찰할 수 있는 장점을 가지고 있어 내부 결함 평가에 많이 사용되고 있다.

이와 같이 X-ray 는 물질을 투과하여 단일 이미지로 모든 인터페이스를 관찰 할 수 있는 장점이 있으나 검사의 관점에서 볼 때 검사 대상이 아닌 칩 내부의 패턴, 배선 등의 정보까지도 중첩되어 얻어지게 되어 결함 검사의 정도를 떨어뜨리는 요인이 되기도 한다.

본 연구에서는 칩 내부 패턴 등과 같은 검사 대상 이외의 성분을 최대한 제거한 이미지의 획득하여 고정도의 결함검출을 가능케 하기 위하여 Energy subtraction 법을 도입하여 성능 검증 실험을 행하였다. 또한, 반도체 칩의 내부 결함의 고속 In-line 검사법 개발을 위하여 다양한 검사 환경 설정이 가능한 내부 결함 검사 테스트 베드를 설계하였다.

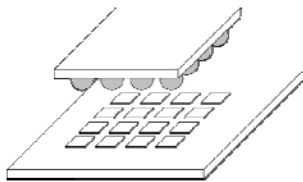


Fig. 1 Flip chip

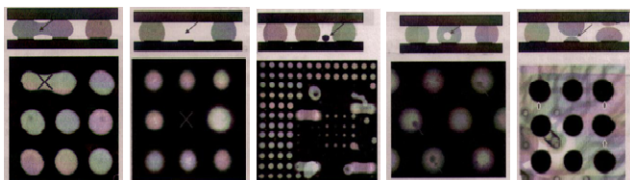


Fig. 2 Major defect items

(Solder bridge, Missing ball, Solder ball dispersal, Void, Open)

## 2. Energy Subtraction 법

Energy Subtraction 법은 서로 다른 에너지의 X-ray 빔을 이용하여 광전자 상호작용에 기인하는 차분 이미지를 얻어 내는 방법이다. Fig. 3 은 조사 광자 에너지에 대한 질량감쇠계수의 관계를 나타내고 있다. X 축은 광자 에너지, 즉 X-ray 에너지를 나타내며 Y 축은 각 물질이 가지고 있는 고유의 질량감쇠계수이며, 칩에 주로 사용되는 Silicon, Copper, Tin, Lead 에 대한 질량감쇠계수를 나타내었다. 그림에서 보는 바와 같이 물질에 따라 K-edge 라고 불리는 질량감쇠계수의 불연속점이 존재한다. 이는 K shell 전자의 결합 에너지보다 약간 높은 광자 에너지에서 발생하는 질량감쇠계수의 급격한 증가를 나타내며 광자의 광전자 흡수에 의해 발생한다. Energy Subtraction 법은 이와 같은 물질의 고유 성질인 K-edge 를 이용하는 방법이다. 검사대상 물질의 K-edge 값 전후의 광자 에너지로 각각 조사하여 얻어진 이미지의 차분치를 취함으로써 불필요한 다른 이미지 성분을 제거하여 대상물질의 추출된 이미지를 획득 가능하게 된다.

마이크로 포커스 X-ray 검사 영역에서 일반적으로 사용되는 X-ray 에너지 영역인 30 ~ 160 keV 의 경우를 보면 Silicon 과 Copper 의 경우 K-edge 가 존재하지 않는다. 따라서, 한 예로 Lead 의 경우 K-edge 가 88 keV 근처에 존재하므로 이 전후의 광자에너지로 측정된 X-ray 이미지의 차분을 행하면 Silicon, Copper 와 같은 불필요한 성분을 제거할 수 있게 된다.

서로 다른 광자에너지를 발생시키기 위한 방법으로는 X-ray 소스에 필터를 착탈하여 조절하는 방법, 서로 다른 두 대의 소스를 사용하는 방법, 소스자체의 전압을 변경시키는 방법이 있으나 여기에서는 동일 X-ray 소스에서 전압을 변경시키는 방법을 채택하였다.

Fig. 4 는 Energy subtraction 법의 유효성을 검증하기 위하여 제작한 시편의 상부 및 측면 개략도를 나타낸다. 두께 100 μm 의 Copper 박판을 3 매 적층한 후 그 상부에 직경 600 μm 의 Lead 선 (Sn60 Pb40)을 배치하였다. 측정에는 마이크로 포커스 X-ray 소스 (minimum spot size < 2.5 μm, maximum voltage 110 keV) 와 검출기로는 Image intensifier 를 채용한 시스템을 사용하였다.

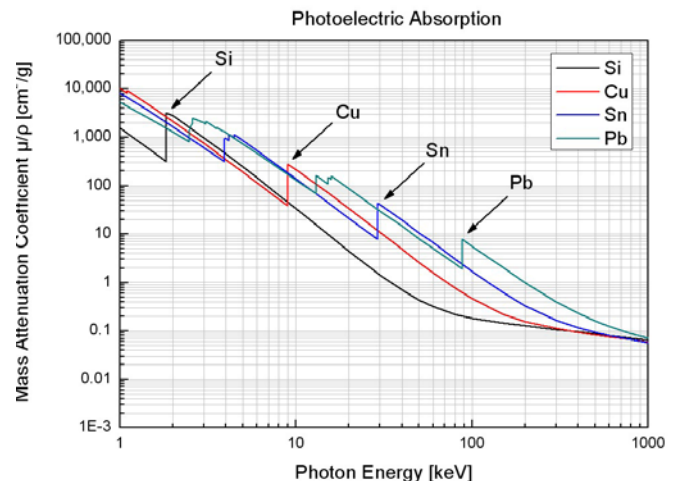


Fig. 3 Photoelectric absorption in Silicon, Copper, Tin and Lead

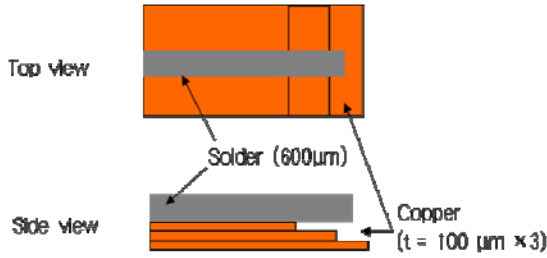


Fig. 4 Copper and Solder sample

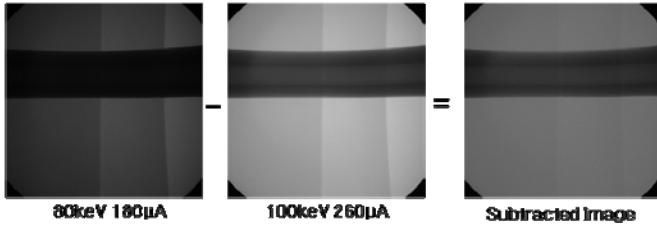


Fig. 5 Subtracted image using energy subtraction method

Fig. 5 는 X-ray 시스템을 이용하여 상기의 시편에 Lead 의 K-edge 전후의 값인 80keV 와 100keV 의 X-ray 전압 설정한 후 각각 촬영한 이미지와 그 차분 이미지 결과를 나타낸다. 최종 차분 이미지는 X-ray 자체의 공간적 강도 불균일성과 검출기의 공간적 감도 불균일성에 대한 영향을 줄이기 위하여 시편을 탑재하지 않은 초기 이미지와의 상호 처리 및 콘트라스트 조정 후 차분을 통해 얻어진 결과이다. 그림에서 보는 바와 같이 각 조건에서의 초기 측정 이미지에서는 Copper 박판의 두께 증가에 따른 흡수에 의하여 콘트라스트의 차이가 단차 모양으로 뚜렷하게 나타남을 알 수 있다. 그러나, 최종 차분이미지에서는 박판의 두께 차이에 의한 이미지의 콘트라스트 차가 제거 되었음을 알 수 있다.

이 결과로부터 패턴을 이루는 Copper 부분을 효과적으로 제거하고 검사대상인 솔더 범프 부분만을 추출 가능함을 확인하여 Energy subtraction 법의 유효성을 검증할 수 있었다.

### 3. 내부결함 검사 테스트 베드 설계

X-ray 를 이용한 In-line 내부 결함 검사 방법 개발을 위하여 다양한 실험조건에 부가 및 알고리즘 테스트가 가능한 내부결함 검사 테스트 베드를 설계하였다. Fig. 4 는 테스트 베드의 개략도를 나타낸다. 테스트 베드는 크게 X-ray 소스, 디텍터, 시료 스캔 스테이지로 구성된다. X-ray 소스는 미세 결함 검출을 위하여 오픈 튜브 타입의 마이크로 포커스 소스를 선정하였다 (minimum spot size < 2.5 µm, maximum voltage 160 keV, cone angle 170° ). 디텍터는 Dual-detector 로 I.I (Image Intensifier)와 Flat Panel 디텍터를 선택적으로 사용 가능하도록 설계하였다.

I.I 는 고감도 검사가 가능하며, FP 디텍터의 경우는 Direct 디텍션 방식으로 X-ray 를 직접 전기 신호로 변환시켜 이미지를 획득하므로 산란에 의해 공간분해능이 떨어지는 타 방식에 비해 고속, 고분해능의 검사가 가능하다. 또한, 경량으로 위치조작에 유리하다 X-ray 소스와 I.I 의 경우, 상하 운동이 가능하여 FOD (Focus object distance) 및 FDD (Focus Detector Distance)의 조건 선정이 가능하게 하였다. FP 디텍터는 상부의 회전기구에 장착되어 극각방향 및 방위각 방향으로 자유로운 위치 조정이 가능하여 최적의 측정조건 선정이 가능하며, CT 검사용으로도 활용 가능하게 설계하였다. 또한, 디텍터의 스캐닝 동작과 XY 스테이지 (Stroke: 20 mm)이상의 연동을 통한 검사가 가능하도록 설계하였다.

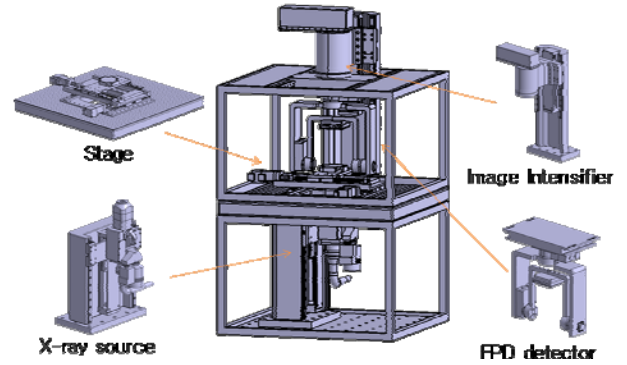


Fig. 6 Schematic diagram of test bed

## 4. 결론

본 연구에서는 먼저 기존의 AOI 방식으로는 검출이 불가능한 Flip chip 형태의 범프 접속부 또는 BGA 내부의 Void 와 같은 반도체 칩 내부 결함 검사를 위하여 Energy subtraction 법을 이용한 내부결함 검사의 유용성 검증을 행하였다. Copper 와 Lead 물질 고유의 K-edge 값을 이용하여 패턴을 형성하는 Copper 의 영향을 제거하고 솔더 부분만의 추출 가능함을 실험적으로 확인하여 Energy subtraction 법의 유효성을 확인하였다.

또한, 반도체 칩의 내부 결함의 고속 In-line 검사법 개발을 위하여 다양한 검사 환경 설정이 가능한 내부 결함 검사 테스트 베드를 설계하였다. 이 테스트 베드는 X-ray 차폐물 내에 설치되어 작업의 용이성을 확보하였으며, 다양한 알고리즘 및 검사 조건의 선정이 가능하도록 하였다.. X-ray 소스로는 미세 결함검출을 위하여 마이크로 포커스 타입의 소스를 선정하였으며, I.I 와 FP 디텍터의 2 종류의 디텍터를 선택적인 사용이 가능함은 물론, 디텍터의 공간적인 위치를 자유롭게 설정가능 하게 설계하였다.

본 테스트 베드는 Energy subtraction 법의 적용 및 다양한 실험이 가능하여 고정도 내부 결함 In-line 검사방법을 위한 유용한 툴로 사용될 것으로 기대된다.

## 참고문헌

1. <http://www.wikipedia.org>
2. 寺本篤司, “X 線 CT 画像による実装配線板の3次元解析”, インターネブコン/エレクトロテストジャパン 2008 세미나, 失敗しない実装検査技術, 23-38, 2008
3. “3-D TSV Interconnections”, Equipment & Materials -2008 Report”, Technology & Market Analysis, Yole Development, July 2008
4. <http://physics.nist.gov/PhysRefData/XrayMassCoef/cover.html>
5. Smallman, R.E, Bishop, R.J, Modern physical metallurgy and materials engineering: science, process, applications, sixth edition, BUTTERWORTH HEINEMANN, 2002
6. Tusty, J., Smith, S., and Zamudia, C., "Operation Planning Based on Cutting Process Model," Annals of the CIRP, 39, 517-521, 1990.