

## 금확산을 이용한 실리콘 나노선 타입 변환에 관한 연구

구자민, 이명원, 강정민, 윤창준, 김광은, 김상식  
고려대학교 전기전자전파공학과, 나노과학연구소

### A study of conversion of silicon nanowires by diffusion of gold

Jamin Koo, Myeongwon Lee, Jeongmin Kang, Changjoon Yoon, Kwangeun Kim, and Sangsig Kim  
Department of Electrical Engineering and Institute of Nanoscience, Korea University

**Abstract** - n형 특성을 가진 실리콘 나노선을 금확산을 이용하여 p형 특성을 가진 상태의 나노선으로 변환하였다. Back-gate 형태로 제작된 n형의 실리콘 나노선 전계 효과 트랜지스터를 제작한 후, 채널로 사용되는 나노선 위에 금을 열증착방법을 이용하여 증착했다. 이후, 급속열처리공정을 통해 실리콘 나노선에 금이온을 확산시켰다. 나노선의 특성 변화를 확인하기 위하여 전계 효과 트랜지스터의 특성곡선을 통해 그 변화를 관찰하였다.

#### 1. 서 론

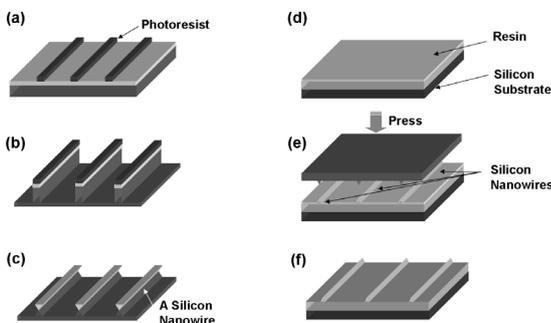
최근, 나노선을 현재까지 개발된 실리콘 공정을 이용하는 top-down 방식으로 제작하는 방법이 주목받고 있다. 이 방법을 통해 제작된 나노선은 불순물 농도 조절이나 전기적 특성, 길이, 두께의 제어, 정렬 등 기존의 화학적 합성방식으로 제작된 나노선들의 문제점을 극복할 수 있기 때문이다. 하지만, top-down 방식으로 제작된 나노선의 새로운 문제점이 대두되고 있다. Top-down 공정을 통해 제작된 나노선은 주로 비등방성 습식식각공정을 통해 제작이 되는데, 이 때 주로 이용되는 알칼리 용액은 p형과 n형의 습식식각 속도에 차이가 나기 때문에, 하나의 웨이퍼에서 p와 n형 특성을 가진 나노선을 동시에 얻는 것이 불가능하다. 이 방식을 통해 얻어진 나노선들을 다른 기판에 전사를 할 시, 모든 나노선의 전기적 특성이 같기 때문에 Complementary Metal-oxide-semiconductor (CMOS) 기판의 회로를 제작하는 것이 불가능하다. 본 연구에서는, top-down 공정을 통해 제작되어 원하는 기판에 전사된 n형 특성을 가지는 나노선을 금확산방법을 통해 p형 특성을 가진 나노선으로 변환하였다. 특성 변화의 확인은, 이 나노선을 기반으로 하는 전계 효과 트랜지스터를 제작한 후 전기적 특성 곡선을 통하여 확인하였다.

#### 2. 본 론

##### 2.1 실험과정

##### 2.1.1 실리콘 나노선 제작과 전사방법

실리콘 나노선은 현재 쓰이는 6인치 실리콘 웨이퍼에서 광사진공정과 건식/습식 식각공정을 통해 제작되었다. 실리콘 나노선을 제작하는 방법과 전사방법에 대한 공정도는 <그림 1>에 도식화 하였다.



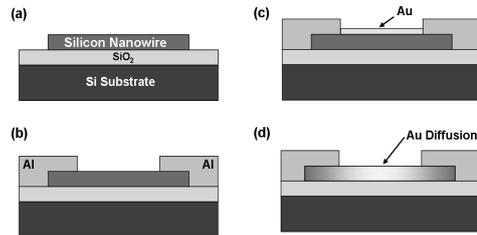
<그림 1> 실리콘 나노선 제작과 전사방법

(a) 원하는 불순물 농도와 전기적 특성을 가진 웨이퍼를 선택한 후, 광사진공정을 통해 나노선의 두께와 길이를 정의한다. (b) 그 후, ICP를 통해 trench를 만든 후, (c) KOH 알칼리용액을 통해 모래시계 형태의

구조물을 제작한다. 더 이상 필요하지 않은 광감응제와 SiO<sub>2</sub> 박막은 buffer oxide etchant 용액을 통해 제거하였다. (d) 이 후, 300 nm 의 SiO<sub>2</sub>로 덮여있는 실리콘 기판 위에 레진 박막을 스핀코팅 방법을 이용하여 증착한다. 이 레진 박막은 전사될 나노선에 가해질 충격을 완화함과 동시에, 실리콘 기판에 나노선을 붙이는 풀과 같은 역할을 한다. (e) 레진 박막이 증착된 실리콘 기판에 모래시계 형태의 구조물을 뒤집어 구조물의 윗면이 레진 박막에 닿게 한 후, 자외선을 이용하여 레진 박막을 굳힌다. (f) 이 후, 모래시계 구조물이 있는 실리콘 기판을 떼어냄으로써 최종적으로 모래시계 구조물의 윗부분이 기판 위에 전사되도록 하여, 이 부분을 나노선으로 이용하였다. 더 이상 필요하지 않는 레진박막은 아세톤 용액을 이용하여 제거하였다.

##### 2.1.2 실리콘 나노선 기반 전계효과 트랜지스터 제작과 금확산 방법

전사된 나노선을 기반으로 한 전계 효과 트랜지스터를 제작하여 전기적 특성을 확인한 후, 나노선에 금을 확산시켰다. 실리콘 기반의 전계효과 트랜지스터 제작 방법과 금확산 방법에 대한 공정도는 <그림 2>와 같다.



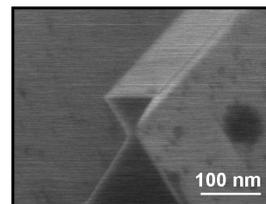
<그림 2> 실리콘 나노선 전계 효과 트랜지스터 제작과 금확산 방법

(a) 우선, 실리콘 기판 위에 배열된 나노선들 중, 전계 효과 트랜지스터의 채널로 쓰일 하나의 나노선을 선택한다. (b) 이 후, 나노선의 끝단에 소스와 드레인을 광사진공정과 열증착법을 이용하여 제작하였다. 이 때, 전극은 알루미늄을 이용하였으며, 그 두께는 100 nm 이다. (c) 이 후, 광사진공정을 통해 실리콘 나노선에서 금이 덮힐 부분을 지정한 후, 열증착법을 이용하여 금박막을 증착한다. 이 때, 금박막의 두께는 10 nm 이다. (d) 최종적으로, 급속열처리공정(Rapid Thermal Annealing, RTA)을 통해 금이온이 실리콘 나노선에 확산이 되도록 한다. 이 때 온도는 450 °C 로 진행하였다.

이렇게 제작된 전계 효과 트랜지스터는 HP4155C(Agilent)로 측정이 진행되었으며, 모두 back-gate 형태로 측정되었다.

##### 2.2 결과 및 토론

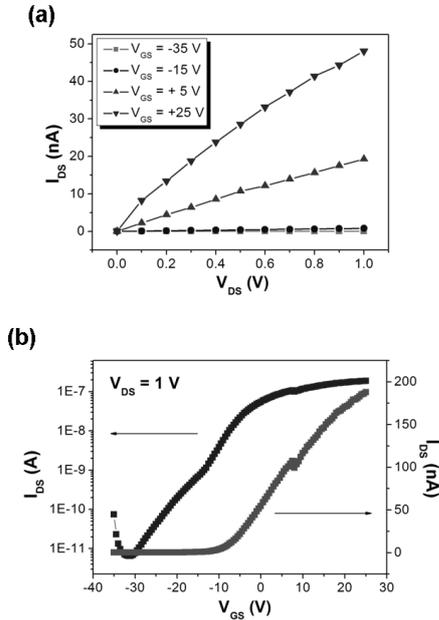
<그림 1>을 통해 제작된 모래시계의 윗부분이 나노선으로 이용된다. 이를 위해 전자주사현미경(Scanning Electron Microscope, SEM, Hitachi S-4300)을 이용하여 그 형태를 확인하였다.



<그림 3> 모래시계 형태를 가진 구조물의 SEM 사진

<그림 3>의 SEM 사진을 통하여 sub-100 nm 급 형태의 실리콘 나노선이 구조물에서 생성되었음을 확인할 수 있다. 역삼각형 형태의 구조물이 실리콘 기판에 전사되어 나노선으로 이용되었으며, 또한 전계 효과 트랜지스터의 채널로서 사용되었다.

우선, n형 실리콘 나노선을 채널로 이용하는 back-gate 상태의 전계 효과 트랜지스터의 전기적 특성을 확인하였다. 이 전기적 특성은 <그림 4>과 같다.



<그림 4> n형 채널을 가지는 전계효과 트랜지스터의 전기적 특성 곡선

<그림 4>을 통해 전형적인 n형 전계 효과 트랜지스터의 전기적 특성 곡선을 확인할 수 있다. 게이트 전압을 -35 V 에서 25 V 까지, 20 V 의 단계적으로 증가를 시키는 상태에서 특성을 확인한 결과, 전류( $I_{DS}$ )가 게이트 전압( $V_{GS}$ )이 증가함에 따라 함께 증가하는 특성을 확인할 수 있었다 (<그림 4(a)>). 또한, <그림 4(b)>에서 임계전압( $V_{th}$ )이 약 -13.2 V 로 동작하는 n형 전계효과 트랜지스터의 전달 특성 곡선을 확인할 수 있다. 이 소자의 이동도는 다음과 같은 식을 통해 도출하였다. [1]

$$\mu_{FE} = L_C^2 g_m / C_b V_{DS} \quad (1)$$

$\mu_{FE}$ 는 이동도,  $L_C$ 는 채널의 길이,  $g_m$ 은 전달전도도,  $C_b$ 는 back-gate 상태에서의 산화막 커패시턴스 값이다. 이 때, 산화막 커패시턴스는 다음과 같은 식을 이용하여 도출하였다. [2]

$$C_b \cong 2\pi\epsilon_0\epsilon_r L_C / \ln(2h/r_{nw}) \quad (2)$$

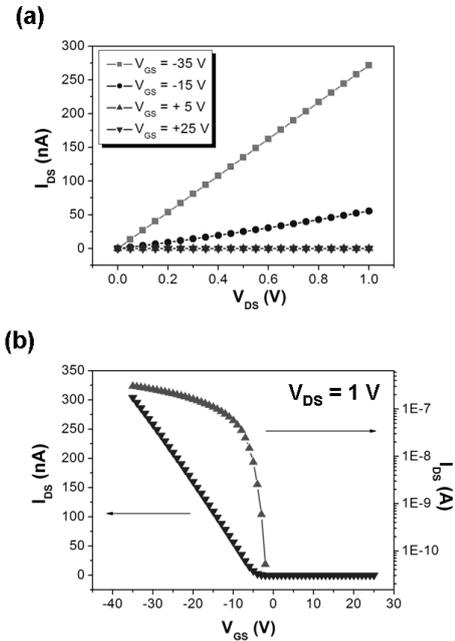
$\epsilon_r$ 은 실리콘 산화막의 유전율 (3.9),  $h$ 는 산화막의 두께 (300 nm),  $r_{nw}$ 는 나노선의 반지름 두께 (약 40 nm)이다. 그 결과,  $C_b$ 는 4.01 fF이며, 이에 따른 이동도는 57.5  $\text{cm}^2/\text{Vs}$  로 도출되었다.

<그림 4>의 특성을 가지고 동작하는 n형 전계 효과 트랜지스터의 채널로 이용되는 실리콘 나노선에 금이온을 확산시킨 후, 같은 방법으로 다시 측정하였다. 그 결과는 <그림 5>와 같다. <그림 5>에서 나타난 전기적 특성을 통해 n형의 실리콘 나노선이 금이온을 불순물로 하는 p형 상태로 변화된 것을 확인할 수 있다. <그림 5>를 통하여  $V_{th}$ 이 -4.2 V 로 동작하는 전계 효과 트랜지스터의 동작을 확인할 수 있었으며, 이동도는 식(1)에 따라 67.5  $\text{cm}^2/\text{Vs}$  로 도출되었다.

금확산에 따라 n형에서 p형으로 변한 나노선은 Kick-out 메커니즘에 의해 설명될 수 있다. [3] 이 메커니즘은 금이온이 실리콘에 확산되면서 금이온이 실리콘을 밀어내고 substitutional defect에 금이온이 위치하게 된다. 그에 따라 실리콘 나노선의 저항이 증가하게 되는데, 이는 전기장이 가해지지 않는 상태에서의  $I_{DS}$  값을 통해 유추할 수 있다. <그림 4>과 <그림 5>에서 얻은  $I_{DS}$ 은 n형일 때엔 약 10 nA 인 반면, 금이온이 확산된 나노선에 대한  $I_{DS}$ 에 대해서는 0.09 nA 이다. 동일한 전압에 대한  $I_{DS}$ 의 차이를 통해, 나노선의 저항이 증가하였음을 확인할 수 있다.

하지만, 전기장에 대한 나노선의 민감도는 크게 증가하였다. <그림 4>과 <그림 5>에 나타난 전달 특성 곡선을 통해, n형 나노선에는 +25

V, 금이온이 확산된 나노선에는 -25 V 이 가해진 결과, n형의 실리콘 나노선의  $I_{DS}$ 은 약 50 nA 였으나, 금이온이 확산된 나노선의 경우엔 약 230 nA 로 측정되었다. 이를 통해 실제 저항은 증가하였으나, 전기장의 민감도가 향상되어 게이트 효과가 좋아진 p형으로 동작하는 나노선이 금확산을 통해 만들어짐을 확인할 수 있다.



<그림 5> 금이온이 확산된 실리콘 나노선 기반의 전계효과 트랜지스터의 전기적 특성 곡선

### 3. 결 론

본 연구에서는 금확산법을 이용하여 n형의 실리콘 나노선을 p형으로 동작하도록 변화시켰다. 이는 실리콘 나노선에 금박막을 덮은 후, RTA 공정을 통하여 p형으로 변화시켰으며, 이 나노선을 채널로 이용하는 전계 효과 트랜지스터를 제작함으로써 전기적 특성을 확인하였다. 그 결과, 게이트 전압에 대한 민감도가 향상됨을 관찰하였다. 이를 통해, 최근 주목받고 있는, 전사방식을 이용한 나노선 배열방식의 문제점인 CMOS 소자제작의 불가능한 점에 대하여 극복할 수 있다. 또한 소자의 낮아진 문턱전압을 통해, 저전력 기반에서 동작하는 소자를 제작할 수 있다.

### 감사의 글

본 연구는 한국과학재단이 지원하는 나노원천기술개발사업 (CINS), 국가지정연구실사업 (NRL), 세계수준의 연구중심대학 육성사업 (WCU) 과 한국학술진흥재단이 지원하는 중점연구소지원사업, 한국산업기술개발원이 지원하는 중기거점기술개발사업, 중소기업청이 지원하는 중소기업 기술혁신개발사업, 한국산업기술평가원이 지원하는 핵심기반기술개발사업 (시스템IC2010)의 연구비에 의하여 수행되었다.

### [참 고 문 헌]

- [1] K. Keem, D.-Y. Jeong, S. Kim, M.-S. Lee, I.-S. Yeo, U.-I. Chung, J.-T. Moon, "Fabrication and device characterization of omega-shaped-gate ZnO nanowire field-effect transistors", Nano Lett, 6, 1454, 2006
- [2] D. Wang, Q. Wang, A. Javey, R. Tu, H. Dai, "Germanium nanowire field-effect transistors with SiO<sub>2</sub> and high-κ HfO<sub>2</sub> gate dielectrics", Appl. Phys. Lett., 83, 2432, 2003
- [3] W. M. Bullis, "Properties of gold in silicon", Solid-State Electron, 9, 143, 1966