

**P형 짧은 채널(L=1.5 μm) 다결정 실리콘 박막 트랜지스터의 오프 상태 스트레스 하에서의 신뢰성 분석**

이정수\*, 최성환\*\*, 박상근, 한민구  
 서울대학교 전기컴퓨터공학과

**Positive Shift of Threshold Voltage in short channel (L=1.5 μm) P-type poly-Si TFT under Off-State Bias Stress**

Jeong-Soo Lee\*, Sung-Hwan Choi\*\*, Sang-Geun Park, and Min-Koo Han  
 School of Electrical Engineering and Computer Science, Seoul National University

**Abstract** - 유리 기판 상에 이중 게이트 절연막을 가지는 우수한 특성의 P형 엑시머 레이저 어닐링 (ELA) 다결정 실리콘 박막 트랜지스터를 제작하였다. 그리고 P형 짧은 채널 ELA 다결정 실리콘 박막 트랜지스터의 오프 상태 스트레스 하에서의 전기적 특성을 분석하였다. 스트레스 하에서 긴 채널에서의 문턱 전압은 양의 방향으로 거의 이동하지 않는 ( $\Delta V_{TH} = 0.116V$ ) 반면, 짧은 채널 박막 트랜지스터의 문턱 전압은 양의 방향으로 상당히 이동 ( $\Delta V_{TH} = 2.718V$ )하는 것을 확인할 수 있었다. 이런 짧은 채널 박막 트랜지스터에서 문턱 전압의 양의 이동은 다결정 실리콘 막과 게이트 산화막 사이의 계면에서의 전자 트랩핑 때문이다. 또한, 박막 트랜지스터의 누설 전류는 오프 상태 스트레스 하에서의 채널 영역의 홀 전하로 인하여 온 전류 수준을 감소시키지 않고 억제될 수 있었다. C-V 측정 결과는 계면의 전자 트랩핑이 드레인 접합 영역 부근에서 발생한다는 것을 나타낸다.

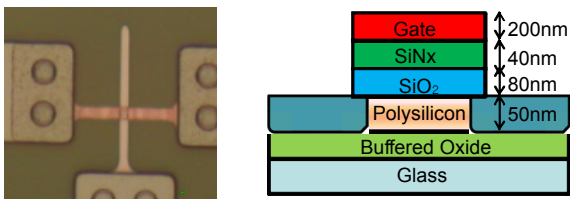
**1. 서 론**

최근 엑시머 높은 구동 전류 능력을 가지는 레이저 어닐링 (ELA)를 이용한 저온 다결정 실리콘 박막 트랜지스터 (LTFS-TFTs)가 AMOLED 디스플레이에서 폭넓게 사용되고 있다 [1]. 하지만 다결정 실리콘 박막 트랜지스터는 단결정 실리콘 박막 트랜지스터에 비해 전기적 스트레스 하에서의 열등한 신뢰성 특성을 가지는 것으로 보고되고 있다 [2]-[3]. 그러나 높은 해상도의 디스플레이를 위한 짧은 채널 다결정 실리콘 박막 트랜지스터에 관한 오프 상태 스트레스 하에서의 신뢰성에 관한 분석은 거의 이루어지지 않고 있다 [4]. 본 연구의 목적은 짧은 채널을 가지는 다결정 실리콘 박막 트랜지스터의 오프 상태 스트레스 하에서의 전기적 특성을 분석하는 것이다.

**2. 본 론**

**2.1 ELA P형 다결정 실리콘 박막 트랜지스터의 제작**

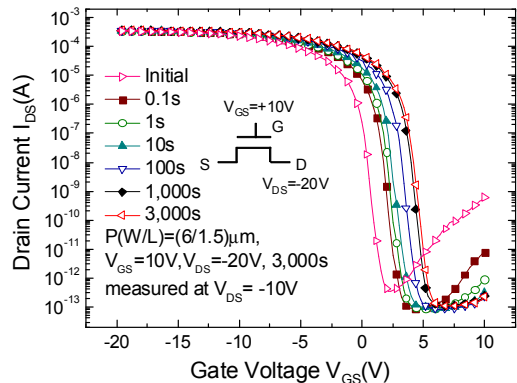
그림 1(a)과 같이 유리 기판 상에 완충 산화막을 가지는 P형 저온 다결정 실리콘 박막 트랜지스터를 제작하였다. 우선, 비정질 실리콘 (a-Si) 박막 (50nm)을 플라즈마 화학 기상 증착 (PECVD)를 이용하여 완충 산화막 위에 증착하였다. 이 박막은 저온 공정을 위해 XeCl 엑시머 레이저 어닐링 (파장 = 308nm)으로 결정화되었고, 채널 층 형성을 위해 패터닝되었다. 그 후, 게이트 산화막 (SiO<sub>2</sub>, 80nm 두께)와 게이트 산화 절연막으로의 전하 이동을 막기 위한 실리콘 질화막이 연속적으로 증착되었다 [5]. 그리고 게이트 금속을 형성하였고, P형 영역을 도핑하였다. 절연 중간층을 PECVD로 증착한 후, 열적으로 도펀트 활성화를 실행하였다. 접촉 틈을 형성하고 소스 / 드레인 금속을 증착하여 패터닝 하였다. 마지막으로 패시베이션 층을 증착, 패터닝 하였다. 실리콘 산화막 / 질화막 이중 게이트 절연막을 포함하는 다결정 실리콘 박막 트랜지스터의 단면도가 그림 1(b)에 나타나 있다. 오프 상태 스트레스 하에서의 채널 길이에 따른 영향을 관찰하기 위해 채널 길이 (L)는 1.5, 3, 7, 14μm, 채널 폭 (W)은 6μm인 트랜지스터를 제작하였다.



**<그림 1> (a)유리 기판 상에 제작된 ELA 다결정 실리콘 박막 트랜지스터의 평면도 (b)실리콘 산화막 / 질화막 이중층 구조를 보여주는 다결정 실리콘 박막 트랜지스터의 단면도**

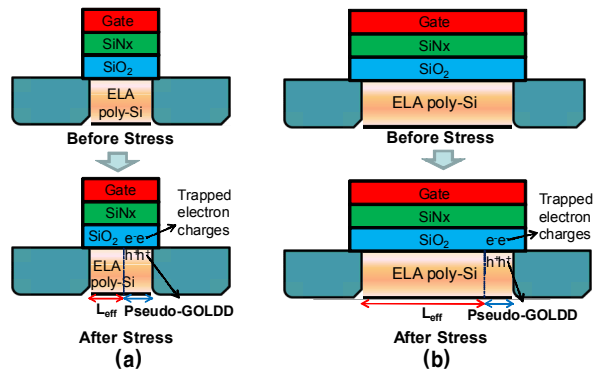
**2.2 결과 및 토의**

그림 2와 같이 오프 상태 스트레스 하에서의 스트레스 시간에 따른 ELA 다결정 실리콘 박막 트랜지스터의 전달 특성을 측정하였다.



**<그림 2> 오프 상태 스트레스 시간 (V<sub>GS</sub> = 10V, V<sub>DS</sub> = -20V, 3,000s)에 따른 ELA 다결정 실리콘 박막 트랜지스터의 전달 특성. 소자의 누설전류가 게이트-드레인 바이어스 스트레스 시간이 증가함에 따라 상당히 감소하였다.**

ELA 다결정 실리콘 박막 트랜지스터의 전달 특성에 대한 오프 상태 스트레스의 영향을 관찰하기 위하여 V<sub>GS</sub> = 10V의 고정된 게이트 바이어스와 V<sub>DS</sub> = -20V의 드레인 바이어스를 3,000초 동안 인가하였다. 오프 상태 스트레스 후에, L = 1.5μm인 ELA 다결정 실리콘 박막 트랜지스터의 문턱 전압은 2.718V (-1.401V에서 1.317V로,  $\Delta V_{TH} = 2.718V @ V_{DS} = -0.1V$ )만큼 감소한 반면, L = 7μm인 소자의 문턱 전압은 단지 0.116V (-2.611V에서 -2.495V로,  $\Delta V_{TH} = 0.116V @ V_{DS} = -0.1V$ )만 감소하였다.



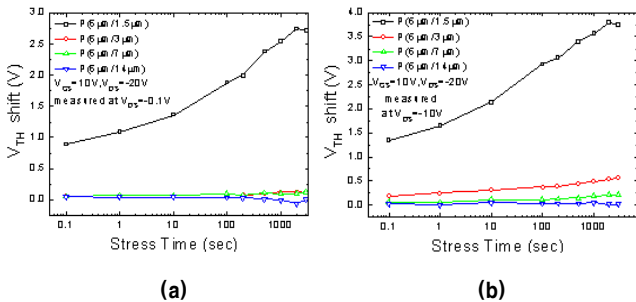
**<그림 3> 채널 길이 의존성을 가지는 Pseudo-LDD 모델 (a)짧은 채널 (b)긴 채널**

이 결과는 오프 상태 스트레스에 의해 게이트 산화막에 전자가 트랩되었고, 그로 인하여 홀 전하가 드레인 접합 근처의 채널 영역에 야기되었기 때문에 발생하였다. 트랩된 전자는 음의 게이트 전압을 효과적으로 인가시킨다. 또한 박막 트랜지스터에서의 전기장은 채널 길이에 의존하지 않기 때문에, 손상된 (전자 트래핑이 발생한) 영역은 채널 길이에 관계없이 일정하다. 따라서 그림 3에서 확인할 수 있듯이 짧은 채널에서는 유효 채널 길이가 상대적으로 더 짧아지고, 이동도도 약간 증가한다. 이

런 이유로 인하여, 짧은 채널 박막 트랜지스터의 문턱 전압 이동은 긴 채널 박막 트랜지스터의 문턱 전압 이동보다 상대적으로 큰 값이 된다.

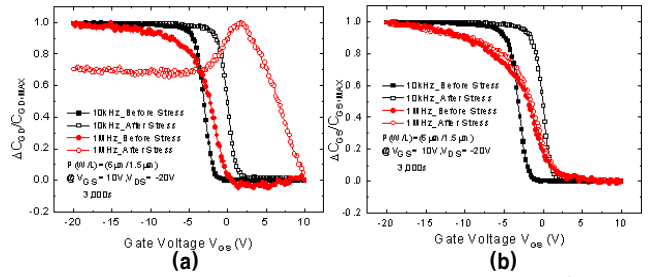
그리고 그림 2는  $L = 1.5\mu\text{m}$ 의 짧은 채널 ELA 다결정 실리콘 박막 트랜지스터의 최소 누설 전류가 3,000초 간의 일정한 바이어스 스트레스 하에서 0.337pA에서 0.106pA로 감소한 결과를 보인다. 누설 전류는 스트레스 인가 후에 게이트 전압이 증가하여도 거의 증가하지 않고 포화되었으며, 심지어 스트레스 인가 전의 소자와 비교하여 온 전류도 약간 증가하였다. 누설 전류는 0.1초 동안의 전기적 스트레스 후에 상당히 감소하였다. 스트레스가 인가되는 동안, 전자는 드레인 접합 근처의 게이트 산화막에 트랩된다. 그리고 구속 되지 않은 홀 전하는 트랩된 전자에 의해 채널 영역에 야기된다. 이 현상은 소자에서 Gate Overlapped Lightly Doped Drain (GOLDD)처럼 작용하게 된다 [6]-[9]. 게이트 절연막에 트랩된 전자는 드레인 접합 근처의 전기장을 약화시키고, 결과적으로 양의 게이트-드레인 바이어스 스트레스 하에서 누설 전류를 감소시킨다. 게이트 전압에 따른 누설전류의 성공적인 감소는 박막 트랜지스터의 전기적 특성이 오프 상태 스트레스를 인가함으로써 충분히 향상될 수 있음을 보인다.

그림 4(a), (b)와 같이, 다양한 채널 길이에 따른 ELA 다결정 실리콘 박막 트랜지스터의 문턱 전압을 오프 상태 스트레스 ( $V_{GS} = 10\text{V}$ ,  $V_{DS} = -20\text{V}$ )하에서의 스트레스 시간에 따라 관찰하였다. 드레인 접합 근처의 ELA 다결정 실리콘 막과 게이트 산화막 사이의 계면에서 전자 트래핑과 계면 상태 생성이 주로 발생하므로, 문턱 전압은  $V_{DS} = -0.1\text{V}$ 과  $V_{DS} = -10\text{V}$ 의 경우에서 측정되었다 [6]-[7]. 짧은 채널 다결정 실리콘 박막 트랜지스터 ( $L = 1.5\mu\text{m}$ )의 문턱 전압은 스트레스 시간이 흐름에 따라 상당히 증가하였다. 3,000초의 스트레스 시간에 걸쳐 문턱 전압의 지속적인 증가가 관찰되었다. 이는 주로 드레인 접합 근처의 트랩 상태의 생성에 따른 것이다. 한편,  $V_{DS} = -0.1\text{V}$ 에서 측정된 문턱 전압은 상대적으로 손상된 드레인 접합에 의해 적게 영향을 받았다. 오프 상태 스트레스 하에서,  $L = 1.5\mu\text{m}$ 인 경우  $V_{DS} = -0.1\text{V}$ 일 때 측정된 문턱 전압의 양의 이동 ( $V_{TH} = -1.401\text{V}$ 에서  $V_{TH} = 1.317\text{V}$ 로,  $\Delta V_{TH} = 2.718\text{V}$ )은  $V_{DS} = -10\text{V}$ 일 때 측정된 문턱 전압의 양의 이동 ( $V_{TH} = -2.332\text{V}$ 에서  $V_{TH} = 1.405\text{V}$ 로,  $\Delta V_{TH} = 3.737\text{V}$ )보다 작았다.



**〈그림 4〉 다양한 채널 길이를 가지는 다결정 실리콘 박막 트랜지스터의 오프 상태 스트레스 ( $V_{GS} = 10\text{V}$ ,  $V_{DS} = -20\text{V}$ )하에서의 스트레스 시간에 따른 문턱 전압의 변화 (a)  $V_{DS} = -0.1\text{V}$ 에서 측정 (b)  $V_{DS} = -10\text{V}$ 에서 측정**

짧은 채널의 저온 다결정 실리콘 박막 트랜지스터에서 다결정 실리콘 박막과 게이트 절연막 사이의 계면 상에 전자가 트랩되는 것을 확인하기 위하여, C-V 측정을 이용하였다. 트랩 상태는 RC 지연을 야기시키기 때문에, C-V 특성은 인가된 주파수에 의해 영향을 받는다 [8]. 오프 상태 스트레스 전후의 인가된 주파수에 따른 C-V 측정 결과의 변동은 짧은 채널 박막 트랜지스터의 오프 상태 스트레스 하에서의 주요 열화 메커니즘의 원인이 고정된 트랩인지, 트랩 상태인지 나타난다 [8]. 그림 5(a)에 오프 상태 스트레스 ( $V_{GS} = 10\text{V}$ ,  $V_{DS} = -20\text{V}$ , 3,000초)전후의  $C_{GD}$ 와  $C_{GS}$ 가 나타나 있다. 오프 상태 스트레스 후의  $C_{GD}-V_{GS}$  곡선은 주파수가 증가함에 따라 (10kHz에서 1MHz로) 넓게 퍼졌으며, 양의 방향으로 상당히 이동하였다. 이는 인가된 주파수에 의해 영향을 받는다는 결과를 통해 트랩 상태의 증가 때문임을 알 수 있다. 그림 5(a), (b)에서 확인할 수 있듯이, 저주파 (10kHz)에서 C-V 곡선은 스트레스를 받아 트랩 상태의 수가 증가함에 따라 평행하게 이동한다 [11]-[12]. 고주파 (1MHz)인 경우에는 스트레스를 받으면  $C_{GD}$  곡선은 상당히 양의 방향으로 이동하며 넓게 퍼진다. 여기서 C-V 곡선이 이동한 것보다 퍼지는 경향이 더 크므로, 소자의 트랩 상태가 주로 계면과 드레인 경계선에 위치함을 알 수 있다 [11].  $C_{GD}-V_{GS}$  곡선의 퍼짐은 드레인 접합에 가까운 영역에서의 전자 트래핑의 양이 크음을 의미한다.  $C_{GD}-V_{GS}$  곡선은 양의 방향으로 이동하며 퍼지는 반면,  $C_{GS}-V_{GS}$  곡선은 1MHz에서 거의 변하지 않았다. 전자 트래핑이 드레인 접합 근처의 채널 영역에서 발생하였기 때문이다. 또한, 채널 길이가 짧아질수록 스트레스 후의 유효 채널 길이가 상대적으로 작아지므로 1MHz에서의  $C_{GD}-V_{GS}$  곡선이 크게 퍼진다.



**〈그림 5〉 10kHz와 1MHz에서 측정된 오프 상태 스트레스 ( $V_{GS} = 10\text{V}$ ,  $V_{DS} = -20\text{V}$ , 3,000초) 전후의 다결정 실리콘 박막 트랜지스터의 (a) 게이트-드레인 캐패시턴스의 정규화된 값 (b) 게이트-소스 캐패시턴스의 정규화된 값**

### 3. 결 론

P형 짧은 채널 ELA 다결정 실리콘 박막 트랜지스터의 오프 상태 스트레스 하에서의 신뢰성을 분석하였다. 스트레스 하에서 긴 채널에서의 문턱 전압은 양의 방향으로 거의 이동하지 않는 반면, 짧은 채널 박막 트랜지스터의 문턱 전압은 양의 방향으로 상당히 이동하였다. 짧은 채널 박막 트랜지스터에서 문턱 전압의 양의 이동은 드레인 접합 근처의 계면에서의 전자 트래핑 때문이다. 스트레스 시간 동안 채널 영역에서 측정되는 홀 전하에 의한 pseudo LDD 길이의 비율이 증가하므로, 짧은 채널 박막 트랜지스터에서의 유효 채널 길이가 긴 채널 박막 트랜지스터의 유효 채널 길이보다 더 감소하였다. 또한, 계면에서의 전자 트래핑이 드레인 접합 근처에서 발생함을 C-V 측정을 통해 검증하였다. 실험 결과를 통해 유리 기판 상의 ELA 다결정 실리콘 박막 트랜지스터의 누설 전류가 오프 상태 스트레스에 의해 억제될 수 있다는 것도 확인할 수 있다.

### [참 고 문 헌]

- [1] A. Kumar K. P. and J. K. O. Shin, "A simple TFT technology for display systems on glass", in IEDM Tech. Dig., p. 515, 1997.
- [2] I.W.Wu, W.B.Jackson, T.Y.Huang, A.G.Lewis, and A.Chiang, "Mechanism of device degradation in n- and p-channel polysilicon TFTs by electrical stressing", IEEE Electron Device Lett., vol.11, pp.167-169, 1990.
- [3] N.Kato, T.Yamada, S.Yamada, T.Nakamura, and T.Hamano, "Degradation mechanism of polysilicon TFTs under D.C.stress", in IEDM Tech. Dig, pp.1677-1680, 1992.
- [4] J. W. Lee, N. I. Lee, and C. H. Han, "Improved stability of short-channel hydrogenated n-channel polycrystalline silicon thin-film transistors with very thin ECR N2O-plasma gate oxide", IEEE Electron Devices Lett., vol.19, no.12, pp.458-460, 1998.
- [5] B. D. Choi, W. S. Kim, M. S. So, J. B. Koo, R. Kakkad, Y. G. Mo and S. C. Kim, "Stability Enhancement of Polysilicon Thin-Film Transistors Using Stacked Plasma-Enhance Chemical Vapor Deposited SiO2/SiNx Gate Dielectric", Jpn. J. Appl. Phys., vol. 44, no. 9A, pp. 6417-6420, 2005.
- [6] J. Fossun, A. Oritz-Conde, H. Shichijo, and S. K. Banerjee, "Anomalous leakage current in LPCVD polysilicon MOSFET's", IEEE Trans Electron Device. vol. ED-32, pp. 1878-1884, Sept. 1985
- [7] G. Fortunato, A. Pecora, G. Tallarida, L. Mariucci, C. Reita, and P. Migliorato "Hot Carrier Effects in n-Channel Poly crystalline Silicon Thin-Film Transistors: A Correlation Between Off-Current and ransconductance Variations", IEEE Transaction on Electron Device, vol. 41, NO 3, pp. 240-346, MARCH 1994
- [8] K.C. Moon, J.H. Lee, and M.K. Han, "The Study of Hot-Carrier Stress on Poly-Si TFT Employing C-V Measurement", IEEE Transaction on Electron Device, vol.52, No.4, pp.512-517, April, 2005
- [9] S.G. Park, S.M. Han, W.K. Lee, D.W. Kang and M.K.Han, "The suppression of Leakage Current of Solid Phase Crystallize Si TFT on the Glass Substrate Employing Off State Bias Stress", AMFPD '07, pp.227-230, Hyogo, Japan, July, 2007
- [10] M. Hack, A. G. Lewis, and I. Wu, "Physical models for degradation effects in polysilicon thin-film transistors", IEEE Trans. Electron Devices, vol. 40, no. 5, pp. 890-897, May 1993.
- [11] J.S.Choi and G.W.Neudeck, "Frequency-dependent capacitance-voltage characteristics for amorphous silicon-based metal-insulator-semiconductor structures", IEEE Trans. Electron Devices, vol.39, no. 11, pp. 2515-2522, Nov. 1992.