

3상 계통 연계 시스템에서 3차 필터를 이용한 PLL 설계

원 경 민
한양대학교

Design of PLL Using a Third order filter in a grid connected Three Phase VSI

Won Kyoung-Min
Hanyang University

ABSTRACT

계통 연계 인버터 제어 시 계통 전압과 동상인 계통 전류를 공급해주기 위해, 계통 전압의 위상 값을 알아내야 한다. 계통 전압에 고조파가 존재하지 않을 시에 이 위상값은 정확하지만, 고조파 존재 시에 위상 값은 오차가 생긴다. 이 오차는 동기 좌표계 PI 제어기의 지령치에 기본파 외의 고조파를 함유하게 만든다. 그 결과, 계통에 공급하는 계통 전류에 고조파를 함유하게 만든다. 본 논문은 3차 필터를 이용하여 고조파가 존재하는 3상 계통 전압에도 불구하고 기본파의 위상 값만을 추출해내는 PLL을 설계한다. 주파수 응답 이론에 근거하여 해석적으로 필터 변수를 정하며, 이를 검증하기 위하여 모의 실험을 수행한다.

1. 서론

인버터는 직류 전원에서 교류 전원으로 전력 변환을 해주기 위해서 사용하는 전력 변환 기기이다. 대 용량 시스템에서 직류 전원형태의 전력을 계통으로 공급을 해주기 위해서 인버터 출력단과 계통을 연결시킨다. 이때 인버터는 두가지의 중요한 역할을 하게 된다. 하나는 계통에서 요구하는 전류 THD 이하로 전류를 공급하는 역할을 수행해야 하고, 두 번째는 계통 전압과 동상인 전류를 계통에 공급해야 하는 역할이다. 두 번째 역할을 수행하기 위해서는 계통 전압의 위상 정보를 필수적으로 알아야 한다. 위상 정보를 알아야 계통 전압과 동상인 전류를 인버터를 통해 계통으로 공급해 줄 수 있다. 위상 정보를 알아내기 위해서 PLL(Phase Locked Loop)을 사용한다. PLL을 설계하는 방법으로는 2차 필터를 사용하는 방법^[1]이 있다. 이 논문에서 PLL을 설계할 때, 대역폭 상승과 고조파 저감은 trade off 관계라고 설명한다. 고전 제어 이론을 바탕으로 이 설계를 보상 할 수 있다. 3차 필터를 사용하여 대역폭 상승과 고조파 저감을 어느 정도 동시에 이득을 볼 수 있다. 여기서 대역폭 상승은 PLL의 정상상태 도달 시간과 관계가 있고, 고조파 저감은 계통 전압에 고조파가 존재 할 시에 잘못된 위상 정보를 제거하는 것과 연관이 있다. 설계 전에 abc-dq축 변환의 과정을 선형적인 제어 루프로 등가화 시키는 작업을 한다. 설계 과정은 주파수 응답 해석을 통해서 해석적으로 설명할 수 있다. MATLAB을 통해서 설계한 PLL을 검증하기 위해서 PSIM을 사용하여 계통 전압 위상을 추출하는 모의 실험을 실행한다.

2. PLL 제어 루프

2.1 abc-dq 변환 축 설정

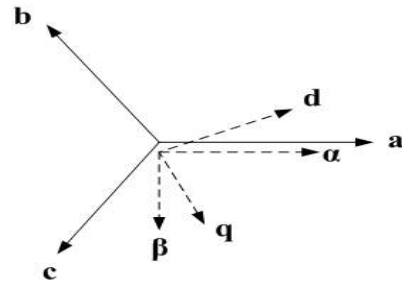


그림 1 PLL에서 사용하는 d-q축
Fig. 1 d-q axis in designed PLL

그림 1은 앞으로 설계할 PLL에서 사용하는 abc-dq축 변환을 할 때 기준으로 삼은 d-q축 선언을 나타낸다. 여기서 abc-aβ 축 변환 식은 다음과 같다.

$$\frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V \times \cos \theta \\ V \times \cos(\theta - \frac{2}{3}\pi) \\ V \times \cos(\theta + \frac{2}{3}\pi) \end{bmatrix} = \begin{bmatrix} V \times \cos \theta \\ -V \times \sin \theta \end{bmatrix} \quad (1)$$

식 (1)에서 우리가 알고자 하는 값은 θ 이다. PLL루프에서 계산하는 위상 값을 $\hat{\theta}$ 이라고 한다면, aβ-dq축 변환을 통해서 나오는 값은 다음과 같다.

$$\begin{bmatrix} \cos \hat{\theta} & -\sin \hat{\theta} \\ \sin \hat{\theta} & \cos \hat{\theta} \end{bmatrix} \begin{bmatrix} V \times \cos \theta \\ -V \times \sin \theta \end{bmatrix} = \begin{bmatrix} V \times \cos(\hat{\theta} - \theta) \\ V \times \sin(\hat{\theta} - \theta) \end{bmatrix} \quad (2)$$

이 식의 유도 과정은 부록에 나타나 있다.

2.2 선형화

식 (2)에서 q축 값이 정상상태에 도달했을 시에 $\hat{\theta} - \theta$ 값이 매우 작다면, $V \times \sin(\hat{\theta} - \theta) \approx V \times (\hat{\theta} - \theta)$ 로 근사화 하는 것이 가능하다. 이 근사화를 통해서 비선형인 q축의 값을 선형화 시켰다. 위의 수식 (2)와 근사화를 종합해서, PLL에서 계통 전압의 위상값을 알아내기 위하여 하는 abc-dq변환 과정

을 제어 루프로 등가화 할 수 있다.

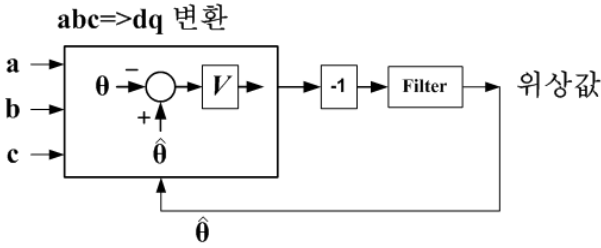


그림 2 abc-dq변환의 제어루프로의 등가화
Fig. 2 Equivalence of abc-dq transformation to control loop

그림 2의 제어루프에서 -1을 곱하는 것은 $\hat{\theta} - \theta$ 이 $\theta - \hat{\theta}$ 이 되게 하기 위해서이다.

3. filter 설계

3.1 정상상태 오차

그림 2에서 우리가 원하는 계통 전압의 위상 값 θ 는 형태가 ramp 함수이다. 제어를 설계시 ramp input 에 대한 정상상태 오차를 0으로 줄일 수 있기 위해 조건이 필요하다.

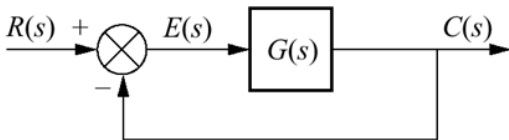


그림 3 부 제한 시스템의 표현
Fig. 3 Representation for negative feedback systems

그림 3에서 입출력 관계식은 $E(s) = \frac{R(s)}{1+G(s)}$ 이다. final value theorem을 이용해서 $e(\infty) = \lim_{s \rightarrow 0} \frac{sR(s)}{1+G(s)}$ 가 된다.

$R(s) = \frac{1}{s^2}$ 형태이므로 $e_{ramp}(\infty) = \frac{1}{\lim_{s \rightarrow 0} sG(s)}$ 가 된다. 즉,

정상상태 오차를 0으로 줄일 수 있기 위해서 G(s)는 원점에 적어도 두개의 pole 을 가지고 있어야 하는 결론이 나온다.

3.2 시스템 과도응답

PLL의 응답 속도 15ms이하로 설정하고, %OS는 약 15%이하로 정했다. Second-order systems의 시간응답 공식^[2]에 의해서, damping ratio는 0.52이상 그리고 bandwidth는 90Hz이상이다. 이는 표 2에 정리되어 있다.

표 2 두개의 시스템 과도응답 정도
table 2 Two quantities of system transient response

구분	값
natural frequency, ω_n	90Hz 이상
damping ratio, ζ	0.52이상

3.3 3차 필터 설계

필터 설계를 위해 그림 2를 정리해서 제어루프를 그려보도록 하자. 그림 2의 abc-dq 변환을 없애고 -1 곱셈을 없애서 그림 4와 같이 정리할 수 있다.

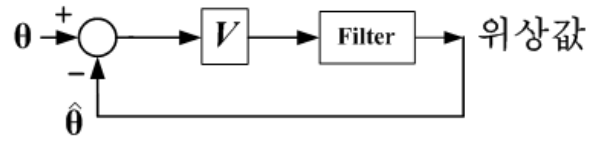


그림 4 그림 2의 등가변환
Fig. 4 equivalent transform from Fig. 2

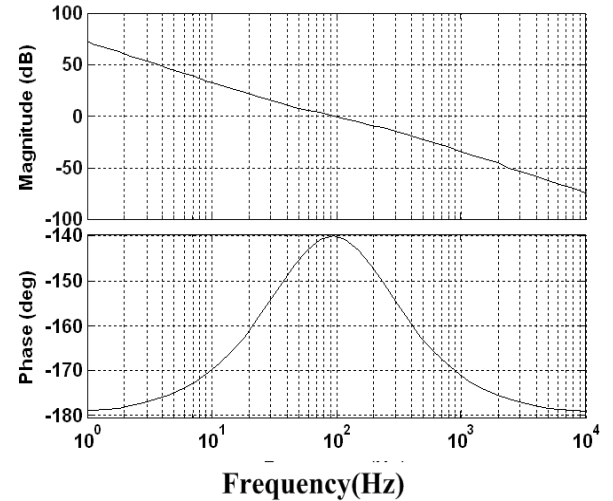


그림 5 설계한 V*Filter 의 주파수 응답
Fig. 5 Frequency Response of designed V*Filter

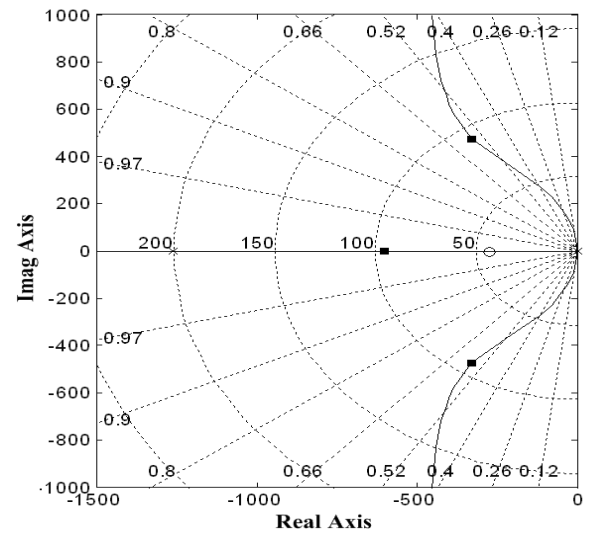


그림 6 설계한 V*Filter 의 근 자취
Fig. 6 Root locus of designed V*Filter

설계한 V*Filter의 전달함수는 다음과 같다.

$$V \cdot Filter(s) = 7.31148 \times 10^5 \frac{s + 275}{s^2(s + 1260)} \quad (3)$$

그림 5에서 보듯이 natural frequency는 약 93Hz이며 그림 6에서 보듯이 damping ratio 는 약 0.57이다. 근 자취는 s-plane에서 항상 왼쪽에 위치하고 있기 때문에 이 시스템은 항상

stable하다.

4. 모의 실험

고전 제어 이론을 기반으로 한 설계 결과로 나온 전달함수 식 3을 이용하여 PSIM을 통해서 모의 실험을 진행하였다. 모의 실험을 수행하는 블록 다이어그램이 그림 7에 표현되어 있다.

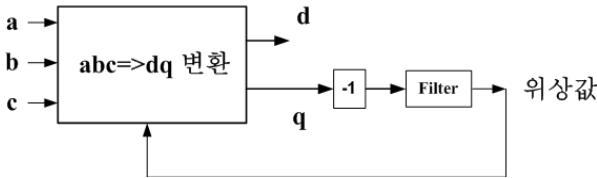


그림 7 PSIM을 이용한 모의 실험의 시스템 블록 다이어그램
Fig. 7 Block diagram of the simulated system

그림 7은 PSIM을 이용한 모의 실험의 시스템 블록 다이어그램을 보여준다. 여기서 a,b,c는 계통의 a상, b상, c상의 전압을 센싱받은 신호이며 abc-dq 변환을 통해서 q축 값을 제어루프로 보낸다. 제어루프의 출력값은 다시 abc-dq변환의 각도로 사용이 되며 오차값이 0에 가깝게 되는 정상상태에서 제어루프의 출력값은 a,b,c상의 전압 위상값과 동일하게 되어, PLL루프는 성공적으로 작동이 된다. 모의 실험 시 계통은 5고조파 4% 그리고 7고조파 2%를 포함한다.

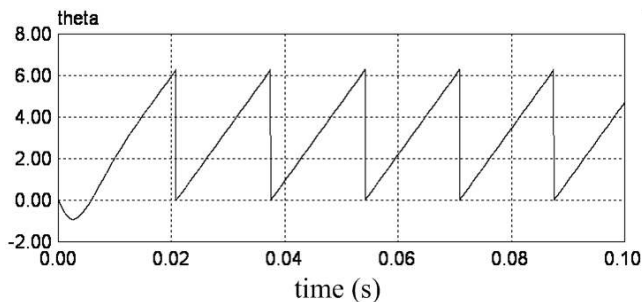


그림 8 3차 필터를 이용한 PLL의 출력인 위상값의 정상상태 파형
Fig. 8 Steady state waveform of PLL system using 3rd-order filter

그림 8은 설계한 3차 필터를 이용한 PLL 시스템의 모의 실험을 PSIM에서 실행한 정상상태 파형이다. 그림에서 보듯이, 계통 전압이 고조파를 함유하고 있다고 하더라도 거의 정확하게 기본파 전압의 위상각을 추종하는 것을 볼 수 있다. 이 모의실험에서 응답 속도는 약 10ms 로 설계한 의도와 일치한다.

5. 결론

3차 필터를 이용하여 PLL 시스템을 설계하였다. 기존의 PLL 시스템에서 응답속도와 고조파 제거는 trade-off 관계였지만 3차 필터를 사용함으로써 응답속도와 고조파 제거의 성능이 이전보다 향상되게 설계할 수 있다. 필터 설계는 고전 제어 이론에 근거하여 주파수 응답과 근 자취를 이용하여 해석적으로 설계를 하였다. PSIM을 이용하여 계통 전압이 고조파를 함유하고 있을지라도 기본파 성분의 위상값을 잘 추종하고 있음을

확인할 수 있다.

참고 문헌

[1] Chung, S.-K, "Phase-locked loop for grid-connected three-phase power conversion systems," IEE Proc. Electr., Power Appl., Vol. 147, 2000, pp. 213-219.
[2] Norman S. Nise, Control Systems Engineering, 4th ed. New Jersey : John Wiley&Sons, 2004.