

사이리스터 고장에 대한 원인 분석

김찬기, 이정석, 이동훈, 광노홍, 장재원

Thyristor Fault Analysis

(C.K. Kim, J.S Lee, D.H.Lee, N.H.Kwak, J.W.Jang)

요약

본 논문은 HVDC 시스템 밸브의 사이리스터 소자와 스너버 회로의 소손에 대한 원인분석 내용을 다루고 있다. 사이리스터는 다른 반도체 소자와 다르게 오랜 기간 안정성이 규명된 소자로서 대용량 전력설비에 사용되고 있으며, 반도체 기술의 발달에 따라 점차적으로 용량이 커진 소자가 개발되고 있다. 이러한 사이리스터가 대용량 HVDC시스템에 조립되어 운전되고 있는 경우에 사이리스터의 고장원인을 심층적으로 분석하여 고장원인을 분석한 것이 본 논문의 핵심이다.

1. 서론

본 논문은 HVDC시스템의 사이리스터가 소손되는 현상을 분석하여 사이리스터 고장의 원인과 파급현상 그리고 분석 방법을 제시하였다. 사이리스터는 낮은 손실과 견고성 그리고 높은 과전압 및 과전류 내량을 갖기 때문에 수백 MW 이상의 전력변환기에 많이 사용되고 있다. 이러한 사이리스터가 대용량 전력변환기에 사용되기 위해서는 수백 kV로 승압하여야 하기 때문에 수십 개의 사이리스터를 직렬로 연결하고, 높은 전류용량을 갖기 위해서는 병렬로 연결하여야 한다. 직병렬로 연결된 사이리스터는 한 개의 사이리스터와 같이 동작하기 위해서는 사이리스터 각각의 특성을 고려하여 동시 점호를 발생시켜야 하는 알고리즘을 내장해야 하며 한 개의 사이리스터라도 지연을 갖게 되는 경우에는 지연된 사이리스터에 과전압이 인가되어 소손되고 있다. 대용량 전력변환기에는 소용량에 비하여 사이리스터를 보호하는 회로가 2중으로 되어있으며, 제어에 의한 보호회로와 강제적인 보호회로로 구성되어 있다.

그림 1은 실제 사이리스터의 점호회로와 스너버회로를 보여주고 있는 것으로, 사이리스터에 점호신호를 인가하는 점호회로 "A", 사이리스터에 과전압이 인가되는 경우에 사이리스터를 강제적으로 도통시키는 BOD 회로("B"), 센서 회로("C") 그리고 스너버 회로("D")를 보여주고 있다.

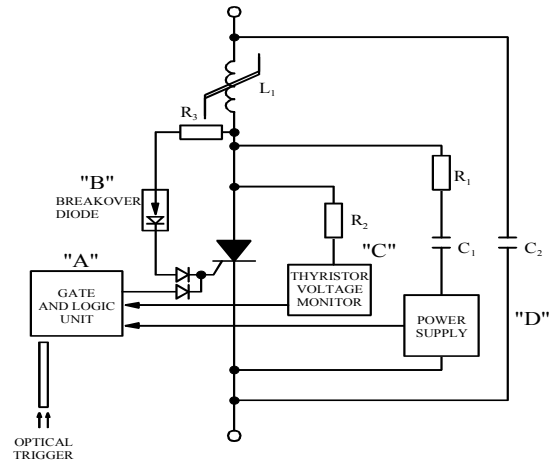


그림 1 HVDC 시스템의 사이리스터 점호 및 스너버 회로
Fig. 1 Thyristor Gating and Snubber Circuit of HVDC System

이러한 사이리스터 구동회로에서 스너버 회로와 사이리스터 회로가 소손되는 현상을 발견하여 그 원인을 분석하였다. HVDC 시스템은 한 밸브에 48개의 사이리스터 회로를 가지고 있으며, 하나의 Pole에는 총 576개의 사이리스터를 가지고 있으며 시스템의 안정성을 위하여 35개의 사이리스터가

소손되더라도 안정적인 운전을 할 수 있도록 설계되었다. 이러한 안정성은 HVDC 밸브가 30년간 운전되더라도 밸브에는 아무런 이상이 없도록 설계된 수치이다.

본 논문에서는 HVDC시스템의 안정성과는 상관이 없다 하더라도 사이리스터의 소손 원인을 분석하고 대책을 수립하여 기대수명이상으로 시스템을 유지 관리하는 것이 주된 목적으로 하고 있다.

2.. 선행 지식

일반적으로 사이리스터의 내구성은 30년 정도로 보고 있으나 이를 사이리스터의 본격적인 적용이 시작된 기간이 짧아 정확하게 보고 된 바가 없다. 사이리스터와 같은 반도체 소자는 동선(銅線)과 다르게 정격전압과 정격전류를 인가하면 스위칭 썬지 때문에 쉽게 파괴되기 때문에 스위칭 썬지를 제한하는 스너버 회로를 반도체 소자와 병렬로 연결하여 사용한다. 반도체 소자가 소손되는 이유는 몇 가지 이유가 있는데, 반도체 소자의 열화에 의한 소손과 과전압이나 과전류에 의한 소손으로 구분될 수 있다. 사이리스터가 열화 되어 소손되는 경우는 다음의 4가지가 있다.

○ 사이리스터와 방열판사이가 간격이 불균일하여 전기적 저항이 증가하여 도통손실이 증가하여 사이리스터 접합부분의 온도증가에 따른 열화

○ 사이리스터 내부의 게이트와 도통부의 간격이 불량하여 열화.

- 이러한 결함은 턴-온 능력을 감소시켜 사이리스터 접합부분의 전압 블록킹 능력을 약화시킨다.

○ 실리콘 웨이퍼의 노출된 표면의 마모.

- 이것은 열전달 능력을 다르게 해서 사이리스터를 소손.

다음으로 사이리스터가 소손되는 이유로는 사이리스터에 직접적인 과전압이나 과전류로 인한 것으로, 대용량전력설비에 이용되는 반도체 소자는 소자의 한계 때문에 자기정격을 초과하는 전압에 대해서는 직렬로 연결하여 사용하고 자기정격을 초과하는 전류에 대해서는 병렬로 상용한다. 이러한 사이리스터의 직·병렬사용은 국부적인 과전압이나 국부적인 과전류를 허용할 수 있기 때문에 스너버 회로와는 별도로 BOD (Break Over Diode) 회로나 분압저항, 분류 리액터 또는 분압 커패시터와 같은 추가적인 소자를 사이리스터 스택에 추가하여야 한다. 그리고, 추가적으로 사이리스터를 보호하기위해서 제어관점에서도 도통시점을 조절하는 기능을 가지고 있다.

사이리스터와 IGBT와 같은 반도체소자는 소자의 획기적

인 성능과 함께 과전압과 과전류에 매우 취약하다는 단점을 동시에 내포하고 있다. 이러한 점 때문에 반도체소자가 ON/OFF기능을 수행하는 경우에는 반도체소자 양단에 과전압과 과전류 제한기를 부착함으로써 단점을 보완하고 있다. 그림 1은 HVDC에 사용하고 있는 사이리스터 회로를 보여 주고 있다.

그림 1에서 보여주는 각각의 기호는 다음과 같으며, 각각의 기능은 아래에 설명이 있다.

- \mathcal{C} : Fast Transient Grading Capacitor,
- \mathcal{L} : Saturable Valve Reactor,
- \mathcal{R} : Damping Resistor,
- \mathcal{C} : Damping Capacitor,
- \mathcal{R} : DC Grading Resistor

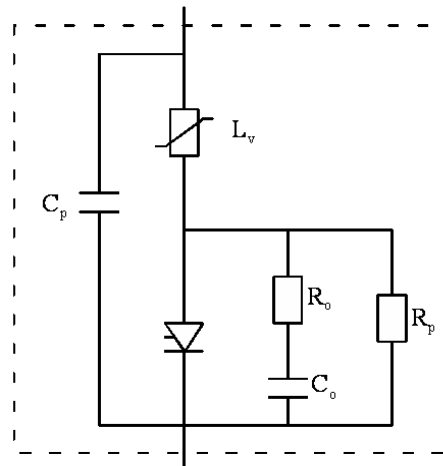


그림 2 HVDC시스템의 스너버 회로
Fig.2 Snubber Circuit of HVDC System

그림 2에서 \mathcal{R} 와 \mathcal{C} 는 스너버 저항을 나타내고 있으며, \mathcal{L} 는 분압저항을 보여주고 있다. 또한 \mathcal{L} 와 \mathcal{C} 는 뇌(雷: Lighting) 썬지와 같은 고주파 돌입전류와 과전압이 인가되는 경우에 소자를 보호하는 기능을 가지고 있다.. 사이리스터의 스너버 회로의 임피던스가 큰 경우에는 장거리 송전에 많이 사용되고, 낮은 임피던스를 갖는 경우는 Back-To-Back인 경우가 많다.

3. 사이리스터 고장 분석

3.1 사이리스터 소손 현황

표 1과 표 2는 2006년도에 교체된 스너버 소자와 소손된 사이리스터의 교체 내역을 보여주고 있다. 표 1과 표 2에서 보여주고 있는 교체내역을 검토하여 사이리스터와 스너버 회

로의 소손이 발생할 수 있는 시나리오를 작성하여 각각의 경우를 실제 소손된 회로와 비교하면서 고장원인을 추정하였다.

표 1. 제주변환소 사이리스터 밸브 내 콘덴서 및 저항 교체내역 (2006년 현재)
Table 1. Replacement of Capacitor and Resistor of Thyristor Valve in Cheju Station (2006, Present)

No.	일 시	Thyristor No.	내 용	비고
1	2006년차 점검	C2A-THV1-1-6	Damping Capacitor 교체	C2
2	"	C2C-THV2-3-12	Damping Capacitor 교체	C2
3	"	C2C-THV3-4-10	Damping Resistor 교체	R1
4	"	C2C-THV9-1-1	Damping Resistor 교체	R1
5	2006.07.15	C1A-THV12-44	Damping Resistor 교체	R1
6	2006.08.28	C2C-THV8-3-6	Damping Capacitor 교체	C1
7	2006.10.12	C2B-THV5-1-1	Damping Resistor 교체	R1
8	2006.12.22	C2A-THV12-1-9	Damping Resistor 교체	R1
9	2006.12.30	C1C-THV2-2-2	Damping Resistor 교체	R1
10	2006.12.30	C1C-THV3-2-11	Damping Resistor 교체	R1

표 2. 제주-변환소 사이리스터 교체 내역 (2006년 현재)
Table 2. Replacement of Thyristor of Thyristor Valve in Cheju Station (2006, Present)

No.	일 시	Pole	Thyristor No.	비고
1	2006.03.05	#2	C2A-THV7-1-5	
2	2006.07.15	#1	C1C-THV8-2-2	
3	2006.08.28	#2	C2A-THV6-2-10	
4	2006.08.28	#2	C2C-THV8-3-6	
5	2006.12.22	#2	C2A-THV1-1-5	

3.2 사이리스터 밸브에 인가될 수 외란

그림 3은 사이리스터의 절연내력을 표현하는 그림으로써, V1은 정상상태 운전전압이며, V2는 BOD에 의해서 강제적으로 도통되는 전압, 그리고 V5부터는 사이리스터가 순시 소손될 수 있는 전압의 한계를 보여주고 있다. 여기서 우리가

주목해야 하는 것은 V1전압이 인가된 경우에는 사이리스터는 40년을 안정적으로 운전할 수 있는 보장전압이나 그 이상부터는 사이리스터의 열화에 영향을 미치기 때문에 발생횟수와 수명관계가 고려되어야 하는 것이다.

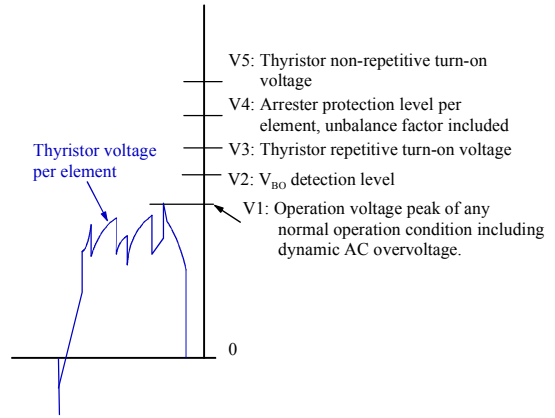


그림 3 사이리스터의 절연레벨
Fig. 3 Thyristor Insulation Level

밸브에 인가될 수 있는 외란을 다음과 같다.

- DC Overvoltage
- AC Overvoltage
- Switching Impulse
- Lighting impulse
- Steep front impulse
- Non-periodic firing pulse

그리고 위에서 설명한 각각의 경우에 대한 스너버 회로의 특성은 다음과 같다.

1) DC Overvoltage가 인가되는 경우의 스너버 모델링 : 이 경우에 DC 과전압은 \bar{p} 에 많이 스트레스를 준다.

2) AC Overvoltage가 인가되는 경우의 스너버 모델링 : 이 경우에 AC 과전압은 \bar{b} 와 \bar{c} 에 많은 스트레스를 인가한다.

3) 스위칭 임펄스(Switching Impulse)가 인가되는 경우의 스너버 모델링 :

이 경우에는 주파수 영역 상 \bar{p} 는 무시된다.

4) 뇌 임펄스(Lighting impulse)가 인가되는 경우의 스너버 모델링:

이 경우에는 주파수 영역상 \bar{c} 는 Fast Rising Voltage 때

문에 Short 상태가 된다.

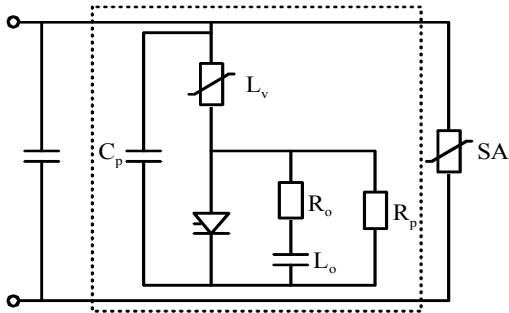


그림 4 사이리스터 밸브에 과도한 DC/AC 과전압을 인가한 경우의 사이리스터 등가회로
 Fig. 4 Thyristor Equivalent Circuit in Case of injecting AC/DC overvoltage to Thyristor Valve

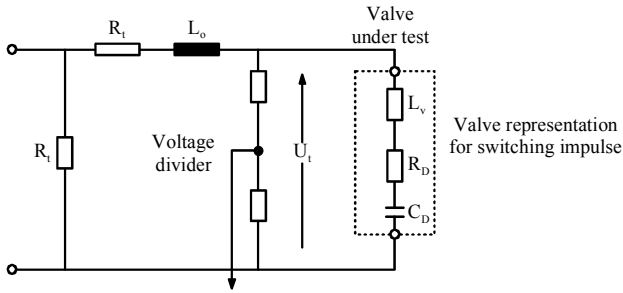


그림 5 사이리스터 밸브에 스위칭 임펄스가 인가된 경우의 사이리스터 등가 회로
 Fig. 5 Thyristor Equivalent Circuit in Case of injecting Switching Impulse to Thyristor Valve

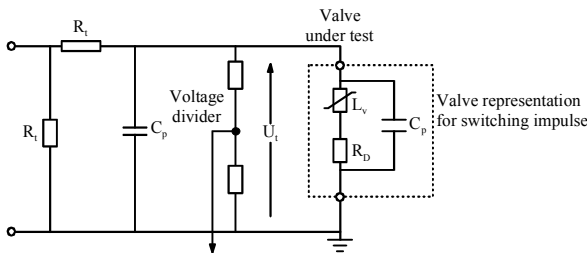


그림 6 사이리스터 밸브에 Lighting Impulse 가 인가된 경우의 사이리스터 등가 회로
 Fig. 6 Thyristor Equivalent Circuit in Case of injecting Lighting Impulse to Thyristor Valve

5) Steep front impulse가 인가되는 경우의 스너버 모델링 :

Front Time은 0.5~1.0[μ s]이며 지속기간은 10[μ s]이기 때문에 너 임펄스의 경우와 비슷한 등가회로를 가지고 있다.

6) Non-Periodic Firing :

이 경우는 사이리스터와 스너버에 과도한 전압과 전류의 스트레스가 인가된다.

3.2 사이리스터와 스너버 회로의 고장 시나리오

1) Lighting Surge에 의한 사이리스터 고장 :

사이리스터는 Arrester에 의해 보호 받으며, 만약 외부의 Surge 전압에 의해서 사이리스터가 고장이 발생한다면, 한 Leg에 직렬로 연결된 모든 사이리스터가 소손된다.

2) 과도한 사이리스터 Turn-Off 과전압 :

사이리스터의 Turn-Off Transient는 변압기의 임피던스, 스너버 회로 그리고 Stray Capacitor에 의해 결정된다. 이러한 값들은 갑자기 변하지 않는다.

3) 사이리스터들 사이에서 전압 불균형

(내부 과전압) :

● Gate Pulse Missing이나 불충분한 펄스 형태 :

직렬로 연결된 사이리스터의 게이트 회로나 VBE의 고아 파이버 회로 중에서 하나에서 문제가 발생하는 경우에는 도통하지 않은 사이리스터에 모든 밸브의 전압이 인가된다. 물론, 각 밸브마다 BOD가 존재하고 있지만, BOD가 동작하는 Turn-On 전압은 일반적인 전압보다 높다. 이러한 전압이 반복적으로 어느 하나의 사이리스터에 인가되면, 사이리스터가 소손될 수 있다.

● Gate Pulse Timing Delay Variation

Among 사이리스터 :

이 경우에는 Gate Pulse Missing인 경우와 마찬가지로 Gating이 지연된 사이리스터에서 과전압이 인가되고, 반복적인 BOD의 동작은 스너버 회로와 사이리스터에 스트레스를 인가한다.

● Gate timing회로의 문제 :

정류기 모드에서 AC 전압이 왜곡되었을 때, 점호 펄스가 불규칙하게 발생할 수 있으며, 이때는 Gate Pulse Missing과 마찬가지로 사이리스터에 스트레스를 인가한다.

● 스너버 회로의 고장 :

스너버가 적당히 동작하지 않을 때, 특히 스너버가 Open 모드(단선된 경우)일 때, 사이리스터는 Turn-On이나 Turn-Off 모드에 그냥 노출될 수밖에 없다.

- 만약 스너버가 Close 모드라면 사이리스터 고장은 발생하지 않는다.

● DC Grading 회로의 고장 :
DC Grading 회로가 Open된다면, 정상상태보다 높은 과전압이 사이리스터에 인가된다.

● Surge Capacitor의 고장 :
Surge Capacitor가 Open 된다면, 정상상태보다 높은 과전압이 사이리스터에 인가된다.

● 부분적인 정류실패 :
부분적인 정류실패에 대한 보호기능이 적당히 동작하지 않을 때 밸브의 모든 전압은 어떤 특정한 사이리스터에 인가될 수 있다.

● 정류실패에 의한 과전류 :
만약 정류실패에 의해서 과전류가 발생하고 이것에 의해서 사이리스터가 소손되었다면, 직렬로 연결된 모든 사이리스터는 소손된다.

4) 사이리스터 Turn-Off Failure

● Transient Current Oscillation (스너버 회로 고장) :

만약 스너버 회로가 Turn-On동안 충분한 방전전류를 소비하지 못하면, 사이리스터를 통하여 흐르는 전류는 짧은 시간동안 몇 번의 Zero-Crossing을 할 것이고 이것은 사이리스터의 웨이퍼에 대단한 충격을 준다. 교류 계통 고장과 같이 AC전압이 왜곡될 때 스너버 회로가 고장이 발생했다면 (Turn-Off 동안 스너버 회로가 Oscillation 전류를 억제하지 못한다면), 부분적으로 과도한 스트레스가 사이리스터에 인가될 것이다.

● 불충분한 Turn-Off Time (AC Voltage Distortion) :

Turn-Off동안 역 전압이 왜곡된다면 그리고 여러 개의 Zero Crossing이 생긴다면, 사이리스터는 Turn-Off는 충분히 이루어지지 않는다. 이것은 사이리스터의 웨이퍼에 치명적인 스트레스를 인가한다.

● 불충분한 Turn-Off Time (Other Valve False Firing) :

고조파가 많이 발생하는 경우에는 충분한 Turn-Off Time이 생기지 않지만, 또한 반대로 다른 밸브가 Turn-On하는 경우도 있다.

● 과도한 di/dt :

밸브 리액터가 고장이 발생한 경우를 말하며, 밸브 리액터

의 권선이나 조임(Fastening)을 조사하여야 한다. 이 경우에 사이리스터를 제작 사에 의뢰하는 경우에 웨이퍼 조사를 통하여 알 수 있다. Creepage나 air-gap과 같은 가능한 방전 Point를 조사해야 한다.

● 과도한 dv/dt :

밸브 리액터나 써지 커패시터가 소손되는 경우에는 dv/dt에 사이리스터가 노출될 수밖에 없다. (Air-gap/Creepage)를 없애기 위해서 밸브 리액터와 밸브 커패시터를 조사하여야 한다.

- 불충분한 Gate Pulse
- 불충분한 게이트 전류 (전자설비의 고장)
- 불충분한 게이트 전류의 폭

3.3 사이리스터 분해 결과

그림 7는 소손된 사이리스터를 분해한 그림을 보여주고 있다. 그림 7에서 과전류에 의한 사이리스터의 소손은 사이리스터의 중앙에 커다란 구멍이나 녹은 흔적이 발견되고 있으며, 과전압에 의한 소손은 그림과 같이 사이리스터내부의 색깔이 국부적으로 변색된 흔적이 발견되고 있다. 또한 열화에 의한 사이리스터의 소손은 사이리스터 내부의 색깔이 전체적으로 균일한 색깔을 가지고 있으며 과전류에 의한 흔적 그리고 국부적인 제작 불량현상을 보여 주고 있다.

따라서, 그림 7에서 추론할 수 있는 것은 HVDC 밸브의 사이리스터 소손의 원인은 과전압에 의한 소손이며, 스너버 회로의 소손과 함께 이루어졌다는데 주목할 필요가 있다.



(a)



(b)

그림 7 소손된 사이리스터 밸브의 분해

Fig. 7 Disassemble of the faulted Thyristor Valve

4. 결 론

본 논문은 제주 HVDC 시스템 내의 사이리스터 고장원인을 분석한 논문으로써 다음과 같은 결론을 도출하였다.

1. 고장의 원인은 사이리스터에 점호신호를 인가하는 광섬유 신호소자의 불량인 원인이며,
2. 도통이 되지 않는 사이리스터에 과전압이 인가되어 스너버에 스트레스가 인가되었으며,
3. 과도한 전압은 BOD동작을 유발하고 정류실패를 유발한다.
4. 정류실패는 모든 사이리스터 밸브의 스너버와 사이리스터에 스트레스를 인가하고,
5. 스너버가 소손된 회로에서는 최종적으로 사이리스터가 소손되는 것으로 분석되었다.

참 고 문 헌

- [1] "제주-해남 HVDC 매뉴얼", 1993, AREVA
- [2] Piccone, D.E.; Eriksson, L.O.; Urbanek, J.; Tobin, W.H.; Somos, I.L., "A thermal analogue of higher accuracy and factory test method for predicting and supporting thyristor fault suppression ratings", Industry Applications Society Annual Meeting, 1988., Conference Record of the 1988 IEEE 2-7 Oct. 1988 Page(s):678 - 686 vol.1.
- [3] Lai, L.L.; Ndeh-Che, F.; Chari, T.; Rajroop, P.J.; Chandrasekharaiah, H.S., "HVDC systems fault

diagnosis with neural networks", Power Electronics and Applications, 1993, Fifth European Conference on 13-16 Sep 1993 Page(s):145 - 150 vol.8.

- [4] Cepek, M.; Krishnaya, C.P., "Thyristor aging", Power System Technology, 1998. Proceedings. POWERCON '98. 1998 International Conference on Volume 1, 18-21 Aug. 1998 Page(s):649 - 653 vol.1.