

LCD BLU Scanning Inverter 개발에 관한 연구

김현식, 임영철, 윤창선*, 허동영*
전남대학교 전기공학과, LG이노텍 Power Lab.*

A study on the design of LCD BLU Scanning Inverter

Kim Hyun Sik, Lim Young Cheol, Yun Chang Sun*, Huh Dong Young*
Chonnam National University, LG Innotek Power Lab.*

ABSTRACT

최근 LCD가 가지는 단점으로 움직이는 동화상 응답속도 MPRT(Motion Picture Response Time) 개선에 대해 기업에서 많은 연구가 수행되고 있다. 이 가운데 최근 LCD 화면 재생주파수를 60Hz에서 120Hz로 가속 시키고 있는 가운데 본 논문에서는 MPRT개선을 위한 Scanning 인버터를 제작 하여 그 성능을 검증 하였다.

1. 서론

LCD의 지적되는 단점으로 기존 CRT에 비해 동화상응답속도가 늦다는 것이다. TFT-LCD의 액정의 반응속도에 따른 동화상의 잔상으로 눈의 피로를 주게 된다. 이를 해결키 위해 TFT-LCD는 화면 재생주파수를 60Hz에서 120Hz로 끌어 올리고 TFT의 Source 단의 Gray Level 전압에 Over Shut Drive하는 방식을 이용하는 등 LCD자체 노력도 진행 되고 있다. 이와 발맞춰 Back Light Inverter도 Scanning 방식을 이용하여 동화상 응답속도를 개선하는 노력을 하고 있다. 본 논문에서는 기존의 Burst Dimming 기술에 동기 및 Delay 회로를 추가하여 Scanning 인버터를 설계 제작하고 최적의 Block과 위상에 관해 연구하였다.

2. LCD의 구조와 동화상응답속도

2.1 TFT LCD의 구조

TFT LCD(Thin Film Transistor Liquid Crystal Display)의 구조는 두개의 Glass플라스틱 사이에 고체도 액체도 아닌 물질인 액정으로 가득 차있는 샌드위치 구조로 되어 있다.

TFT Glass와 Color Filter Class 사이(공통전극과 호소전극사이)에 인가되는 전압 차에 따라 내부에

주입되어져 있는 액정의 결정의 움직임이 발생하게 되는데 Back Light Unit으로부터 투과되는 빛의 양은 액정의 움직이는 양과 비례한다.

2.2 동화상응답속도

기존의 CRT 동영상응답속도가 수us단위인대 비해 LCD Display의 반응 속도는 수ms단위로 느린 이유는 액정의 반응 속도가 현저히 떨어지기 때문이다. 이렇게 동화상응답속도(Motion Picture Response Time)에 대한 국제규격은 투과율이 10%에서 90% 구간의 상승과 하강시간을 합한 시간으로 측정 기준을 정하고 있다.

3. Scanning Inverter 설계

3.1 이론적 배경

TFT-LCD의 Gate Driver IC에 의해 선택된 Gate Line의 투과율이 90%이상 안정화된 시점에 LCD Back Light 인버터를 점등 시키고 Rising과 Falling구간에는 소등시킴으로서 사용자의 눈에 Blur현상을 제거하고자 하는 것이 Scanning Inverter의 이론적 Concept이다.

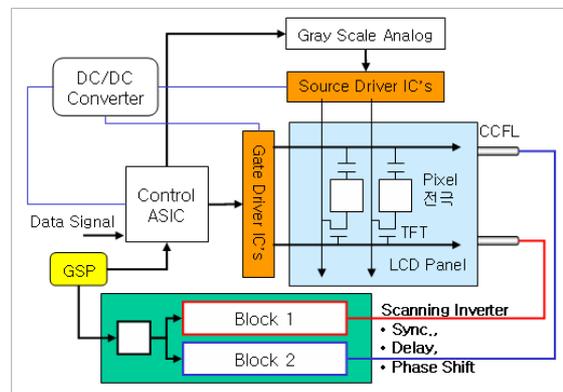


그림 1 LCD System Block도와 Scanning 인버터
Fig. 1 Scanning Inverter and LCD System Block

본 논문에서 다루게 되는 TFT-LCD의 Driving Method는 Active Matrix로 Control ASIC에 의해 구동되는 Gate Driver IC들은 TFT의 Gate Line을 순차적으로 Addressing 한다. 선택 Line에 Source Driver IC들에 각 Pixel에 해당하는 Gray Level의 전압에 따라 액정이 반응하는데 Scanning Inverter는 TFT-LCD 후면에서 LCD Gate Driver에 의해 선택된 Line을 Scanning, 액정이 완전히 반응한 시간동안 빛을 조사하면 잔상효과는 완벽하게 제거시킬 수 있다. 이러한 Scanning기능을 하기 위해서는 우선 LCD Driver와 동기 시키고 액정이 완전히 반응한 시간에 점등 시켜야 한다. 그림에서도 식된 바와 같이 LCD Driver의 재생기준 주파수인 GSP에 동기 시킬 수 있다. 다음 액정의 반응시간을 측정하여 CCFL의 출력전류 제어하여 Scanning 인버터를 설계 할 수 있다.

3.2 LCD의 재생주파수동기 및 Scanning회로설계
본 논문에서 제안한 회로는 T-Con의 GSP신호를 인버터에 동기 시키고 Delay회로를 설계한 1Block Delay 동기회로이다. Impulse 신호에 대한 방전의 원리를 이용한 동기 기능과 동시에 전류Mirror회로에 병렬 연결되어 톱니파와 발진기 역할도 한다. 톱니파는 DC1의 전압과 비교, OP Amp의 PWM 출력을 하게 되는데 PWM신호의 High 반전 Time과 톱니파의 시작점의 간격이 Delay Impulse발생 시간 된다. 이는 마치 GSP신호가 Δt_3 만큼 Delay된 것과 같다.

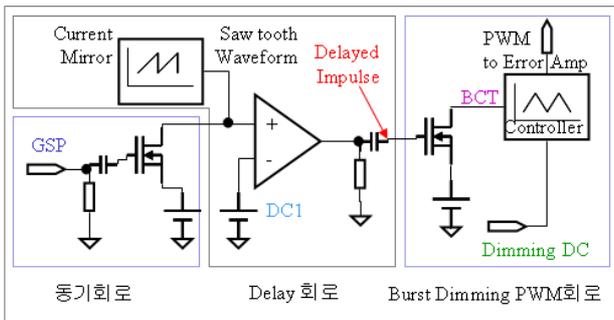


그림 2 PWM 동기 및 Delay회로
Fig. 2 PWM Sync. and Delay Circuits

아래 파형에서 GSP Signal 이 후 어떤 n번째 Gate Line이 Addressing된 Time이 Δt_1 이고 액정의 반응시간이 Δt_2 라고 했을 때 Delay Time은 $\Delta t = \Delta t_1 + \Delta t_2$ 이 된다. Burst Dimming Control IC의 BCT의 파형은 삼각파이므로 PWM 출력특성을 고려해서 Delayed Impulse 신호의 Delay Time을 Δt_3 에 설정해야 한다.

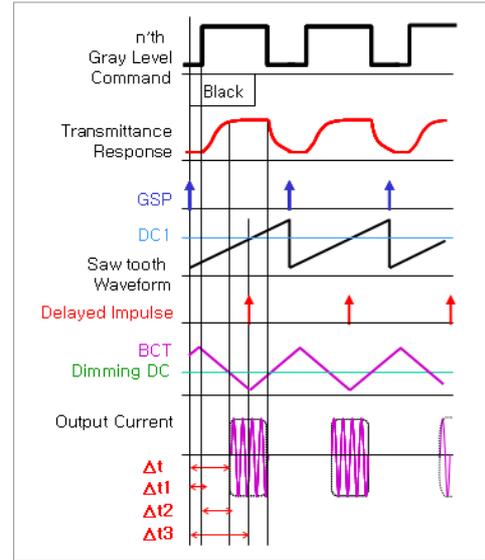


그림 3 PWM Sync.와 Delay 파형
Fig. 3 Wave form of PWM Sync. and Delay

3.3 PWM제어와 Phase Shift

액정의 완전반응구간동안 점등제어를 위해서는 PWM 파형을 생성시켜 Controller의 Error Amp에 실어 출력을 제어한다. 그리고 TFT Gate Line Addressing Time에 대응하는 각각의 독립된 Back Light String의 순차적 Scanning을 위해서는 각기 다른 Timing의 PWM파형을 생성시켜 각 Error Amp를 제어하는 Phase Shift 방식을 적용한다.

톱니파를 공통으로 하고 DC1, DC2, DC3,... DCn을 Reference Voltage로 갖는 비교기를 Array하여 원하는 수의 Delayed Impulse 신호를 얻을 수 있다.

3.4 Block 최적화

실제 TFT-LCD에 Array된 Gate Line의 수보다 Back Light Unit의 CCFL String 수는 상대적으로 매우 작기 때문에 Line by Line으로 대응 시켜 Scanning할 수 없다.

또 원통형의 CCFL은 빛의 산란 특성이 이웃하는 Line에 영향을 주어 MPRT개선 효과는 반감되게 된다. 이 때문에 Lamp Block단위 개념의 접근이 필요하다. Block 최적화실험을 위해 사용된 TFT-LCD는 16CCFL BLU의 Gray to Gray 5ms로 알려진 Panel을 사용 하였다. 실제 MPRT 측정 결과 15ms였다. 아래 파형은 GSP신호와 동기된 3Block의 각 출력전류파형이다.

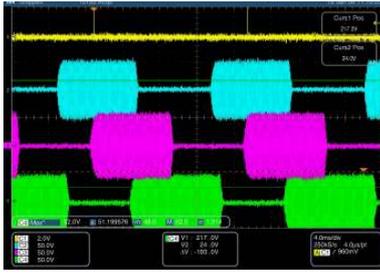


그림 4 GSP신호와 출력전류
Fig. 4 GSP and Output Current wave form

GSP에 대한 Delay Time이 두 번째 Block의 MPRT값에 어떻게 변호를 주는지 측정해서 실측치와 회귀식을 구했다.

$$MPRT(2nd) = 21.3 - 1.5 * 2nd + 0.063 * 2nd^2 [ms]$$

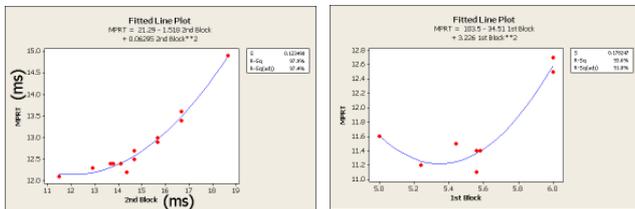


그림 5 MPRT Graph
Fig. 5 MPRT Graph

또 이웃하는 첫 번째 Block의 영향을 받으므로 두 번째 Block을 고정시키고 첫 번째 Block의 Delay Time을 변화시켜 5.56ms에서 최적 MPRT 값이 11.1ms임을 알 수 있었다. 첫 번째 Block time 변화 시 구한 MPRT회귀식은 다음과 같다.

$$MPRT(1st) = 103.5 - 34.5 * 1st + 3.2 * 1st^2 [ms]$$

각 3개의 Block의 최적 Delay Time t1, t2, t3는 각각 5.56ms, 14.67ms, 22.23ms였다.

여기서 세 번째 Block의 Delay Time t3를 살펴 보면 22.23ms - 16.67ms = 5.56ms로 첫 번째 Block과 동위상임을 알 수 있다. 즉 두 Block에 동일 Controller를 적용해도 무방하다.

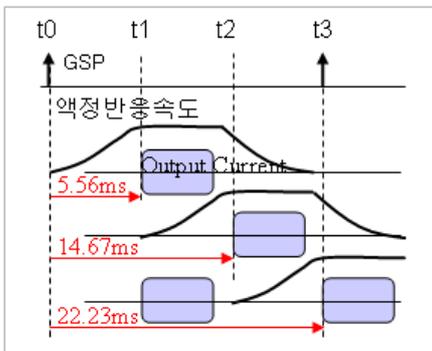


그림 6 각 Block간 Delay Time
Fig. 6 Delay Time of Each Blocks.

첫 번째 Block에 해당하는 TFT-LCD의 액정 Rising구간 5.5ms이고 완전 포화된 구간은 6.7ms, falling 구간은 4.4ms였다. 한 주기를 100%로 했을 때 40%구간만이 LCD의 액정이 완전히 포화된 구간인 것이다.

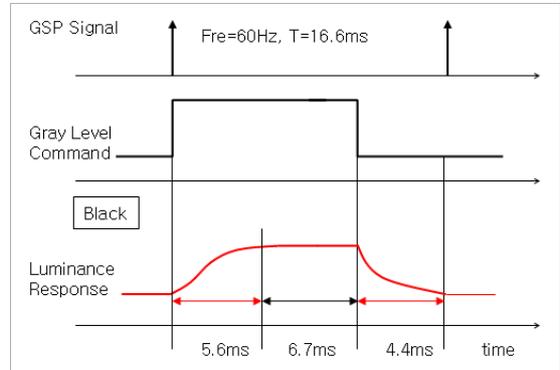


그림 7 Liquid Crystal Delay Time
Fig. 7 Liquid Crystal Delay Time

$$\begin{aligned} \text{On Time} &= 16.6 - \text{Rising}(5.6\text{ms}) + \text{Falling}(4.4\text{ms}) \\ &= 6.6\text{ms} (\text{Duty Ratio } 40\%) \end{aligned}$$

4. 결론

1. TFT-LCD Control ASIC에 GSP 재생기준주파수와 동기 시키는 동기회로와 Current Mirror 회로를 병합하여 톱니파회로를 만들고 이로부터 Delayed Impulse 신호를 추출한 회로를 고안하였다.

2. Addressing된 Gate Line에 대응하는 Phase Shift 기능을 위해 원하는 Phase를 갖는 Delayed Impulse신호를 생성시킬 수 있었다.

3. 제안된 Scanning 기법을 이용하여 MPRT 15ms인 백라이트를 Block 최적화하여 MPRT 11.1ms로 개선하였다.

4. 보다 나은 품질의 Scanning 기능을 위해서는 Block과 Block사이의 Shadow 현상을 제거하기 위한 연구가 이어져야 할 것이다.

참고 문헌

[1] Plasma.com 'Whats TFT-LCD'
http://www.hdtv.ca/plasma_lcd_projector/what_is_tft_lcd.php
[2] ROHM CO.,LTD. Inverter Control IC 'BD9892K Data Sheet, 28.MAY,2007'.