

# Double-Ended 능동 클램프 풀 브리지 DC/DC 컨버터

신용생, 장영수, 노정욱, 홍성수, 김동중\*, 김학용\*, 김돈식\*, 이효범\*, 한상규  
 국민대학교 전력전자 연구소, \*삼성전기(주) P&M 사업부

## Double-Ended Active Clamp Full Bridge DC/DC Converter

Yong-Saeng Shin, Young-Su Jang, Chung-Wook Roh, Sung-Soo Hong,  
 Dong-Joong Kim\*, Hak-Yong Kim\*, Don-Sik Kim\*, Hyo-Bum Lee\*, Sang-Kyoo Han  
 Kookmin University Power Electronics Center, \*Samsung Electro-Mechanics Co., LTD.

### ABSTRACT

기존 위상천이 풀 브리지 컨버터의 경우 구조가 간단하고, 모든 스위치의 영전압 스위칭 동작이 가능하기 때문에 고전압/대전력용으로 널리 사용되고 있다. 그러나 위상천이 풀 브리지 컨버터의 경우 환류구간동안 입력 에너지가 출력으로 전달되지 못하고 순환하므로 도통손실이 큰 단점이 있다. 따라서 본 논문에서는 환류구간이 존재하지 않으며, 출력인덕터 전류 리플을 최소화 할 수 있어 대전류 시스템에 매우 적합한 새로운 Double Ended 능동 클램프 풀 브리지 DC/DC 컨버터를 제안한다. 최종적으로 제안된 회로의 정상상태 동작에 관하여 이론적으로 분석하고, Psim 모의실험을 수행하며, 실제로 1.2KW급 서버용 전원장치에 적용하여 타당성을 검증한다.

### 1. 서 론

계속되는 산업기술의 발달과 더불어 모든 분야에서 전력의 수요가 크게 늘어나고 있으며, 이로 인해 안정적인 전원공급의 중요성이 매우 커지고 있으며, 최근 DC/DC 전력변환장치의 소형, 경량화, 고효율화에 대해 많은 연구가 이루어지고 있다. 특히, 컴퓨터 서버용 전원장치의 경우 인터넷의 발달과 더불어, 고전력밀도 및 고효율, 고신뢰성을 요구하는 대전력 시스템을 필요로 하게 되었다. 일반적인 경우 대용량급에서는 위상천이 풀 브리지 회로가 주로 사용되는데, 위상천이 풀 브리지 회로의 경우 정상상태 구동 시비율이 30~35% 이기 때문에 환류구간이 발생하게 되며, 이로 인해 도통손실 및 소자발열이 증가하는 단점이 생긴다. 또한 출력 인덕터 전류 리플이 증가하게 되고, 이는 효율 및 소자 전류 스트레스를 증가시키게 된다. 본 논문에서는 이러한 문제점들을 해결하고자 Double - Ended 능동 클램프 풀 브리지 컨버터를 제안하고, 그 특성을 알아본다.

### 2. Double-Ended 능동 클램프 풀 브리지 DC/DC 컨버터

그림 1에 제안된 Double-Ended 능동 클램프 풀 브리지 컨버터를 보이고 있으며, 제안된 회로는 모든 스위치의 양단전압이 입력전압 또는 클램프 캐패시터 전압으로 클램프되어 전압 스트레스가 낮으며, 스위치 구동 시비율이 50%일 때 출력 인덕터 전류의 리플이 이론적으로 0A이므로 출력 캐패시터 전류

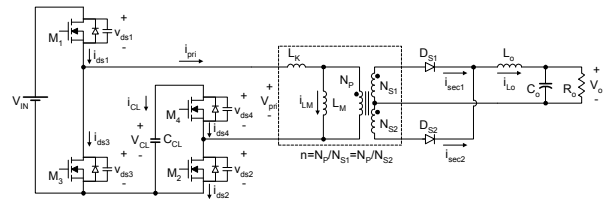


그림 1 제안된 Double-Ended 능동 클램프 풀 브리지 컨버터

의 RMS 및 출력 전압 리플 측면에서 매우 유리하여 출력 캐패시터의 용량을 대폭 줄일 수 있다. 또한, 스위치 구동방식이 비대칭으로서 위상천이 풀브리지 컨버터와 달리 0전압 구간이 없기 때문에 환류구간이 존재하지 않으므로 도통손실 측면에서 유리하다. 또한, 제안된 회로의 경우 구동 시비율이 0%~100%까지 폭넓은 가변범위를 가지고 있으므로 Hold-up Time시 안정적 출력전압을 유지하기 위한 입력 캐패시터의 용량을 크게 줄일 수 있는 장점이 있다.

### 2.1 제안된 Double-Ended 능동 클램프 풀 브리지 DC/DC 컨버터의 정상상태 모드별 동작

제안된 Double-Ended 능동 클램프 풀 브리지 컨버터의 모드별 동작 해석에 앞서 다음과 같은 가정을 둔다.

- 캐패시터  $C_{CL}$ 과  $C_0$ 는 각각 전압원  $V_{CL}$ 과  $V_0$ 로 일정
- 출력 인덕터  $L_0$ 의 전류는 일정
- 스위치  $M_1$ 과 스위치  $M_2$ 는 시비율  $D$ , 스위치  $M_3$ 와 스위치  $M_4$ 는 시비율  $1-D$ 로 동작

**모드 1( $t_0 \sim t_1$ )** : 스위치  $M_1$ 과  $M_2$ 가 시비율  $D$  동안 도통하고 있는 구간으로 입력전압  $V_{in}$ 이 트랜스포머 1차 측에 모두 인가되어 출력으로 에너지가 전달되고 있는 구간으로 스위치  $M_1$ 과  $M_2$ 가 턴 오프 될 때 모드 1은 종료된다.

**모드 2( $t_1 \sim t_2$ )** : 스위치  $M_1$ 과  $M_2$ 가 턴 오프 될 때 트랜스포머 1차 측으로 변환된 출력 인덕터의 전류는 스위치  $M_1$ 과  $M_2$ 의 출력 캐패시터를 충전하고  $M_3$ 와  $M_4$ 의 출력 캐패시터를 방전한다. 모드 2는 트랜스포머 1차 측 전압  $v_{pri}$ 가 0이 되고 다이오드  $D_{s1}$ 과  $D_{s2}$ 가 동시에 도통하기 시작할 때 종료된다.

**모드 3( $t_2 \sim t_3$ )** : 다이오드  $D_{s1}$ 과  $D_{s2}$ 가 동시에 도통하므로 트랜스포머 1차측과 2차측은 서로 분리되어 누설 인덕터  $L_k$ 에 저장된 에너지만으로 스위치  $M_1$ 과  $M_2$ 의 출력 캐패시터를 충전하고  $M_3$ 와  $M_4$ 의 출력 캐패시터를 방전한다. 모드 3은 스위치

M<sub>3</sub>와 M<sub>4</sub>의 양단전압이 0이 될 때 종료되며 다음 모드에서 스위치 M<sub>3</sub>와 M<sub>4</sub>가 영전압 스위칭 조건을 만족하도록 한다. 특히 누설 인덕터 L<sub>k</sub>에 저장된 에너지가 크므로 M<sub>3</sub>와 M<sub>4</sub>의 양단전압은 경부하시에도 0V까지 하강할 수 있어 넓은 부하영역에 대해서 영전압 스위칭이 보장된다.

**모드 4(t<sub>3</sub>~t<sub>4</sub>)** : 모드 3에서 스위치 M<sub>3</sub>와 M<sub>4</sub>의 양단전압이 0V로 유지되고 있으므로 스위치 M<sub>3</sub>와 M<sub>4</sub>는 턴 온 시 영전압 스위칭이 이루어져 스위칭 손실이 이론적으로 0이 되며, 출력 다이오드 D<sub>s1</sub>은 D<sub>s2</sub>의 전류가 출력 전류 I<sub>o</sub>에 도달 할 때 차단된다. 또, 누설 인덕터 L<sub>k</sub> 전류는 스위치 M<sub>3</sub>와 M<sub>4</sub>를 통해 캐패시터 C<sub>L</sub>을 충전시키게 된다. 모드 4는 누설 인덕터 전류가 0A가 될 때 종료된다.

**모드 5(t<sub>4</sub>~t<sub>5</sub>)** : 스위치 M<sub>3</sub>와 M<sub>4</sub>가 도통하고 있으므로 트랜스포머 1차 측에는 캐패시터 전압 V<sub>C</sub>가 인가되고 모드 4에서 캐패시터 C<sub>L</sub>에 충전된 에너지가 출력 측으로 전달되는 구간으로 스위치 M<sub>3</sub>와 M<sub>4</sub>가 턴 오프 될 때 모드 5는 종료된다.

**모드 6(t<sub>5</sub>~t<sub>6</sub>)** : 스위치 M<sub>3</sub>와 M<sub>4</sub>가 턴 오프 될 때 트랜스포머 1차측으로 변환된 출력 인덕터의 전류는 스위치 M<sub>3</sub>와 M<sub>4</sub>의 출력캐패시터를 충전하고 M<sub>1</sub>과 M<sub>2</sub>의 출력캐패시터를 방전한다.

**모드 7(t<sub>6</sub>~t<sub>7</sub>)** : 다이오드 D<sub>s1</sub>과 D<sub>s2</sub>가 동시에 도통하므로 트랜스포머 1차측과 2차측은 서로 분리되어 누설 인덕터 L<sub>k</sub>에 저장된 에너지만으로 스위치 M<sub>3</sub>와 M<sub>4</sub>의 출력 캐패시터를 충전하고 M<sub>1</sub>과 M<sub>2</sub>의 출력 캐패시터를 방전한다. 모드 7은 스위치 M<sub>1</sub>과 M<sub>2</sub>의 양단전압이 0이 될 때 종료되며 다음 모드에서 스위치 M<sub>1</sub>과 M<sub>2</sub>가 영전압 스위칭 조건을 만족하도록 한다. 그러나 누설 인덕터 L<sub>k</sub>에 저장된 에너지가 모드 3에 비해 그다지 크지 않으므로 넓은 범위의 영전압 스위칭을 보장할 수 없는 경우가 존재 할 수도 있다. 이 경우 트랜스포머의 자화 인덕턴스를 크게 설계하여 t<sub>7</sub>시점의 트랜스포머 1차측 전류를 작게 함으로써 M<sub>1</sub>과 M<sub>2</sub>의 스위칭 손실을 최소화 할 수 있다.

**모드 8(t<sub>7</sub>~t<sub>8</sub>)** : 모드 7에서 스위치 M<sub>1</sub>과 M<sub>2</sub>의 양단전압이 0V로 유지되고 있으므로 스위치 M<sub>1</sub>과 M<sub>2</sub>는 턴 온 시 영전압 스위칭이 이루어지며, 출력 다이오드 D<sub>s2</sub>는 D<sub>s1</sub>의 전류가 출력 전류 I<sub>o</sub>에 도달 할 때 차단된다. 모드 8은 스위치 M<sub>1</sub>과 M<sub>2</sub>가 턴 오프 될 때 종료된다.

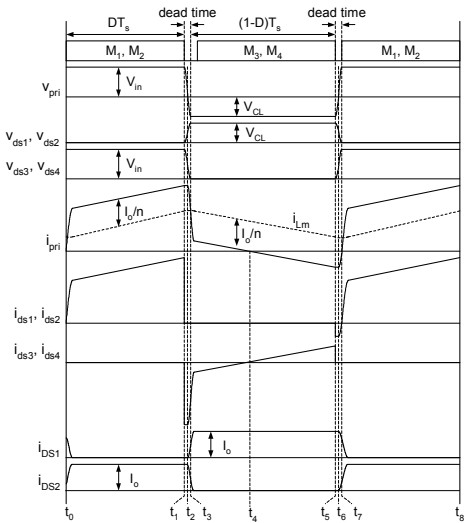


그림 2 제안된 회로의 주요 동작 파형

## 2.2 정상상태에서 시비율 D에 따른 입출력 전압변환 비와 출력 인덕터 전류 리플

제안된 회로의 트랜스포머 자화 인덕터 양단 전압과 시간의 곱(voltage second product)을 이용하여 다음과 같이 클램프 캐패시터의 전압을 구할 수 있다.

$$V_{IN}DT_s = V_{CL}(1-D)T_s \quad (1)$$

$$V_{CL} = V_{IN}D/(1-D) \quad (2)$$

다음으로, 출력 인덕터 양단 전압과 시간의 곱(voltage second product)을 이용하여 다음과 같은 수식을 얻을 수 있다.

$$(V_{in}/n - V_o)DT_s = (V_o - V_{CL}/n)(1-D)T_s \quad (3)$$

식 (2)와 (3)으로부터 입출력 전압변환 비 M을 구할 수 있다.

$$M = V_o/V_{in} = 2D/n \quad (4)$$

제안된 회로의 경우 정류된 2차측 전압이 출력 LC 필터에 의해 평활되어 나타나므로, 50%의 시비율로 동작할 경우 출력 인덕터 양단 전압이 0V가 되어 출력 인덕터 전류 리플이 이론적으로 0A가 된다. 이를 수식으로 나타내면 다음과 같다.

$$Ripple\ of\ I_{L_O} = (1-2D)R_oT_s/L_o \quad (5)$$

식 (4)와 (5)를 바탕으로 입출력 전압변환 비와 출력 인덕터 전류 리플을 그래프로 나타내었다. 50%의 시비율일 경우 출력 인덕터 전류 리플은 0A이다.

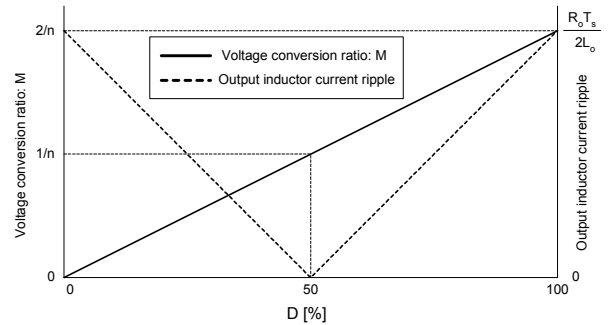


그림 3 제안된 회로의 입출력 전압변환 비와 출력 인덕터 전류 리플을 도시한 그래프

## 2.3 제안된 Double-Ended 능동 클램프 풀 브리지 DC/DC 컨버터의 모의실험 및 실험 결과

### 2-3-1 모의실험결과

모의실험은 실제 1.2KW급 컴퓨터 서버용 전원장치를 대상으로 하였으며, PSIM을 사용하여 구현하였다.

표 1 설계사양

항목	Value	항목	Value
입력 전압	400 V	자화 인덕턴스	400 uH
출력 전압	12 V	클램핑 캐패시터	470 nF
최대부하전류	100 A	출력 인덕터	1.2 uH
스위칭주파수	100 Khz	출력 캐패시터	1320 uF
트랜스포머 턴비	31 : 1 : 1		

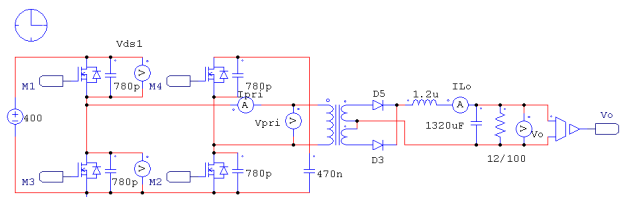


그림 4 제안된 회로의 모의실험을 위한 PSIM 회로도



그림 5 기존 위상천이 풀 브리지 컨버터와 제안된 Double-ended 능동 클램프 풀 브리지 컨버터의 모의실험 비교

표 2 기존 위상천이 풀 브리지 컨버터와 제안회로의 비교

		기존 PSFB	제안회로
출력 인덕터 전류리플		21.2 A	2.36 A
스위치 전압 스트레스		400 V	400 V
환류구간		0.2 T <sub>s</sub>	없음
스위치 전류	M <sub>1</sub> , M <sub>2</sub>	7.57 A	8.72 A
	M <sub>3</sub> , M <sub>4</sub>	7.57 A	2.37 A
1차 전류 RMS		6.162 A	4.723 A

그림 4는 제안된 회로의 모의실험을 위한 PSIM 회로도이다. 실제 실험과 동일한 조건으로 모의실험을 수행하였으며, 같은 조건에서 기존 위상천이 풀 브리지 회로의 모의실험을 통하여 두 가지의 경우를 비교해보았다. 모의실험결과 기존 위상천이 풀 브리지 회로는 0.2T<sub>s</sub>의 환류구간이 존재하고, 이로 인해 출력 인덕터 전류 리플이 21.2A로 상당히 크다. 반면에 제안된 회로는 2.36A로 매우 적어 출력 캐패시터 전류의 RMS 및 출력 전압 리플 측면에서 매우 유리함을 확인하였고, 1차 측 전류의 RMS 또한 기존 위상천이 풀 브리지 회로보다 약 1.4A 작으므로 도통손실 측면에서 유리하다.

### 2-3-2 실험결과

실험에서 사용된 설계사양 및 소자 Parameter는 위 모의실험과 동일하다.



그림 6 제안회로 적용 1.2KW 컴퓨터 서버용 전원장치

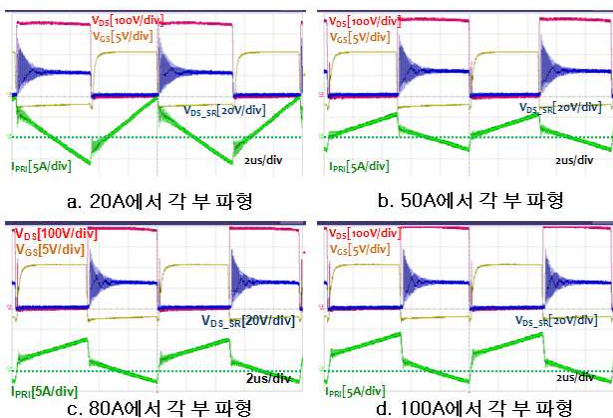


그림 7 제안된 회로의 최대 부하시 각 부 실험파형(I<sub>o</sub>=100A)

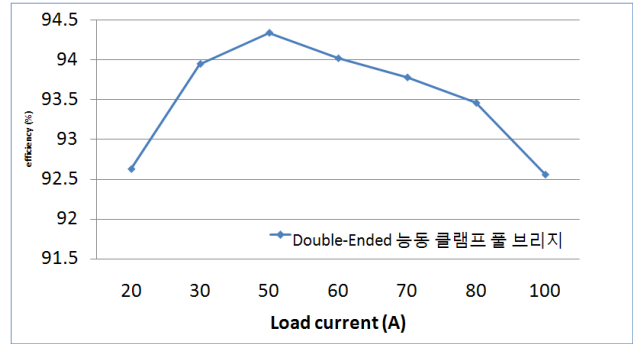


그림 8 제안된 회로의 부하전류에 따른 효율 측정

제안된 회로의 경우 정상상태 최대 부하 시 50%의 시비율을 가지도록 설계하였으며, 따라서 부하가 작을 경우에는 스위치 양단 전압이 낮은 클램프 캐패시터 전압으로 클램핑 된다. 그림 7은 부하전류에 따른 Gate신호 및 1차 측 전류파형, 1차 측 스위치 양단전압, 2차 측 동기 스위치 양단 전압이다. 그림에서 알 수 있듯이 제안된 회로는 20A 부하에서 44.8%의 시비율, 100A 부하에서 49.6%의 시비율로, 구동 시비율의 변동범위 또한 넓지 않으며, 환류구간 또한 존재하지 않음을 확인하였다.

그림 8은 제안된 Double-Ended 능동 클램프 풀 브리지 DC/DC 컨버터의 부하전류에 따른 효율 측정치를 나타낸다. 50A 부하조건에서 최고 94.34% 이며, 최대 100A 부하조건에서 92.56%의 효율이 측정되었다.

### 3. 결론

본 논문은 환류구간이 존재하지 않는 새로운 대전력용 DC/DC 컨버터인 Double-Ended 능동 클램프 풀 브리지 DC/DC 컨버터를 제안하였으며, 제안된 회로는 효율 및 발열 특성이 우수하고, 출력 인덕터 전류 리플의 최소화 가능하다. 제안회로의 이론적 분석을 위하여 모드해석 및 출력 인덕터 전류 리플, 입출력 관계식을 도출하였으며, 모의실험을 통하여 기존 위상천이 풀 브리지 회로와 비교하였다. 모의실험결과 제안된 회로가 위상천이 풀 브리지 회로에 비해 출력 인덕터 전류 리플이 작아 대전류 시스템에 유리함을 확인하였고, 이를 실제 1.2KW급 컴퓨터용 서버 전원장치에 적용하여 타당성을 검증하였다.

이 논문은 삼성전자(주)의 연구비 지원에 의하여 연구되었음.

### 참고문헌

- [1] Richard Redl, "A Novel Soft-Switching Full-Bridge DC/DC Converter: Analysis, Design Considerations, and Experimental Results at 1.5 kW, 100kHz", Proceedings of the IEEE, Vol.6, Issue 3, pp. 408-418, 1991, July
- [2] Chris Calwell, "AC-DC Server Power Supplies: Making the Leap to Higher Efficiency", Proceedings of the IEEE, Vol.1, pp.155-158, APEC 2005, March