

개선된 DFT를 이용한 위상 추종방법

김재형*, 지용혁*, 원중연*, 정용채**
 성균관대학교*, 남서울대학교**

PLL Method Using The Improved Discrete Fourier Transform

Jae-Hyung Kim*, Young-Hyok Ji*, Chung-Yuen Won*, Yong-Chae Jung**
 Sungkyunkwan University*, Namseoul University**

ABSTRACT

In this paper, novel phase angle following algorithm for the single phase grid-connected inverter is proposed. Grid-connected inverter needs phase angle detection for synchronization grid voltage with the inverter output. In case of single phase grid-connected inverter, zero crossing detection and virtual 2-phase PLL using digital all pass filter or digital low pass filter are used conventionally. But these methods have a weakness for harmonics, noises and ripples. The proposed method of PLL achieve DFT(Discrete Fourier Transform) using Goertzel algorithm. It can extract fundamental voltage of grid. As a results, it can obtain phase angle using digital all pass filter without effect of harmonics, noises and ripples. Simulation results are presented to demonstrate the effectiveness of the proposed algorithm.

1. 서론

지구온난화와 고유가로 인해 신재생에너지가 대안으로써 주목 받고 있다. 신재생에너지의 계통연계운전을 위해서는 계통의 위상정보를 정확히 측정하여 계통의 전원에 동기시켜 전류를 공급하여야 한다. 단상 계통연계의 경우 영점 검출회로를 이용하는 방법과 저역통과필터나 전역통과필터 등을 이용하여 90도 지연된 가상의 전원을 만들어 D-Q 변환하여 계통전원의 위상정보를 얻는 가상 2상 방법의 PLL(Phase Locked Loop) 주로 사용되고 있다. 그러나 이러한 방식들은 계통전원에 포함되어 있는 고조파, 노이즈, 리플 등에 취약하다.^[1]

본 논문에서는 이러한 계통전원에 포함되어 있는 고조파, 노이즈, 리플에 대한 문제점을 해결하기 위해 이산푸리에변환(DFT : Discrete Fourier Transform)를 적용하여 정상분을 추출하는 방식을 제안한다. 기존의 DFT보다 연산량을 줄인 Goertzel 알고리즘을 이용하여 정상분의 크기와 위상을 추출하고 저역통과필터를 이용한 D-Q변환으로 단상 계통의 위상정보를 얻는다. 이 방식을 이용하여 PI 제어기, 저역통과필터, 영점검출회로와 같은 추가적인 조치 없이 계통 정상분의 위상정보를 얻는 방법을 제시하고 컴퓨터 시뮬레이션을 통해서 성능을 검증한다.

2. 기존의 가상 2상 방식의 PLL

가상 2상 방식의 PLL의 경우 PI 제어기와 저역통과필터가 들어감으로써 최적 게인 튜닝을 해야 하고, 이로 인해 위상을 추종할 수 있는 범위가 존재하게 되어 모든 영역에 대해서 추종하는 것은 한계가 있다.^[1] 그리고 계통의 접속점에 다이오드 정류기와 같은 비선형 부하에 의한 3차 5차등의 저차 고조파가 포함되어 있으면 위상각에 왜곡이 발생하게 된다. 특히 3차 고조파와 같이 기본과 주파수에 근접한 왜곡성분은 계통전압으로부터 기본과 성분을 추출하기 위한 저역통과필터의 차단주파수에 근접하므로 설계가 까다롭게 된다.^[2]

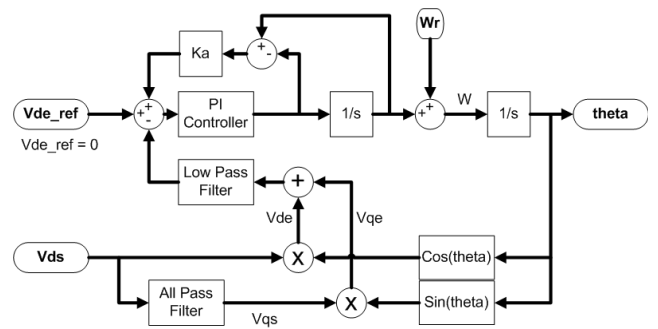


그림 1. 가상 2상 방식의 단상 PLL 블록도
 Fig. 1 Single phase PLL block diagram of virtual 2 phase method

3. Goertzel 알고리즘

본 논문에서는 계통의 정상분을 추출하기 위해 연산량이 개선된 DFT의 일종인 Goertzel 알고리즘을 이용한다. 이 알고리즘을 이용하면 계통전원의 정상분의 크기와 위상을 추출할 수 있다.

DFT는 N-point의 이산신호 $X[n]$ ($n=0, 1, \dots, N-1$)이 주어질 때 다음과 같이 나타낼 수 있다.

$$X[k] = \sum_{n=0}^{N-1} X[n] W_N^{nk}, \quad (W_N = e^{-j\frac{2\pi}{N}nk}) \quad (1)$$

W_N^{nk} 는 복소평면의 단위원 원주상을 $\frac{1}{N}$ 원주만큼 이동한 점을 의미한다.

위 (1)식을 이용하여 Z-영역에서의 Goertzel 필터를 전달함수로 나타내어 보면 다음과 같다.

$$H_G(Z) = \frac{1 - e^{-j\frac{2\pi k}{N}} z^{-1}}{1 - 2\cos(\frac{2\pi k}{N})z^{-1} + z^{-2}} \quad (2)$$

Goertzel 필터는 z-영역에서 영점이 $z = e^{-j\frac{2\pi k}{N}}$ 에 위치하고, 극점은 $z = e^{\pm j\frac{2\pi k}{N}}$ 에 위치하게 되어 $z = e^{-j\frac{2\pi k}{N}}$ 에서 영점과 극점이 서로 상쇄하게 된다. 그러므로 순환 주파수 f 는 $f = \frac{k f_s}{N}$ (f_s =sampling frequency)로써

$\frac{2\pi k}{N}$ [Hz]의 표준주파수와 일치할 때 공명이 집중되게 된다.

위 식은 궤환성분을 포함하고 있으므로 IIR 필터에 속한다. 그러므로 시간영역에서 입출력 관계를 나타내기 위해 선형차분 방정식의 형태로 위 (2)식을 나타내면 다음과 같다.

$$v(n) = 2\cos(\frac{2\pi k}{N})v(n-1) - v(n-2) + x(n) \quad (3a)$$

$$y(n) = v(n) - e^{-j\frac{2\pi k}{N}} v(n-1) \quad (3b)$$

위 (3a), (3b)식의 블록도는 다음과 같다.

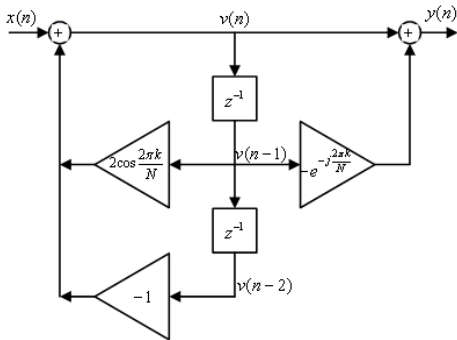


그림 2. Goertzel 알고리즘 블록도
Fig. 2 Goertzel Algorithm block diagram

N-point의 DFT를 Goertzel 알고리즘으로 수행할 때 식 (3a)는 N회 수행되고, 식 (3b)는 1회 수행되게 된다. 그러므로, 곱셈연산은 (N+2)회, 덧셈연산은 (2N+1)회가 된다.^{[3][4]}

FFT(Fast Fourier Transform)의 경우 전 주파수의 영역의 성분을 분리하는 방식이고 연산량은 $N\log_2 N$ 이다.

Goertzel 알고리즘의 경우 단일 주파수만 추출해 낸다.

아래의 표 2에서 나타난 바와 같이 기존의 DFT나 FFT보다 연산량이 훨씬 작으므로 계통의 단일 주파수인 정상분만 추출해야 하는 DSP 임베디드 시스템에 적합한 알고리즘이다.

표 2. 각 푸리에 변환 알고리즘의 연산량 비교

Table 2. Calculation number comparison of each Fourier Transform Algorithm

연산량 비교	곱셈	덧셈
FFT	$N\log_2 N$	-
DFT	$2N$	$2N$
Goertzel Algorithm	$N+2$	$2N+1$

이산상수 k 는 아래 식 (4)의 관계를 가진다.

f =정상분의 주파수, N =N-point 개수, k =이산상수,

f_s =샘플링 주파수

$$\frac{f}{f_s} = \frac{k}{N} \quad (4)$$

추출한 정상분의 크기는 아래와 같다.

$$|y_k(N)|^2 = v^2(N-1) + v^2(N-2) - v(N-1)v(N-2) \cdot 2\cos(\frac{2\pi k}{N}) \quad (5)$$

추출한 정상분의 위상은 아래와 같다.

$$\phi = \arctan \frac{\sin(\frac{2\pi k}{N})v(N-2)}{v(N-1) - \cos(\frac{2\pi k}{N})v(N-2)} \quad (6)$$

Goertzel 알고리즘을 이용하여 정상분의 크기와 위상만을 추출하게 되면 정상분에 포함되어 있던 고조파, 노이즈, 리플 성분은 없어지게 된다.

3. Goertzel 알고리즘을 이용한 제안된 단상 PLL

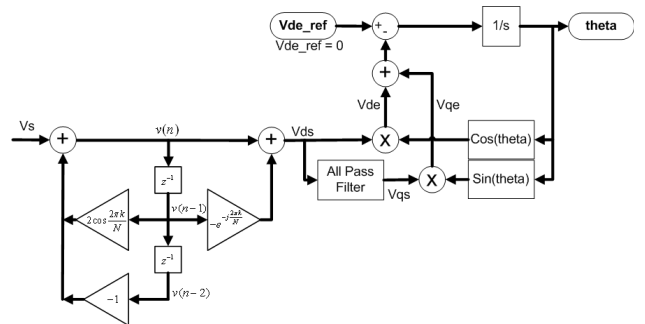


그림 3 개선된 DFT를 이용한 단상 PLL 블록도
Fig. 3 Single PLL block diagram using improved DFT

본 논문에서는 위 그림 3에서 나타난 바와 같이 Goertzel 알고리즘에 의해 추출된 정상분을 전역통과필터를 사용하여 가상의 한 상을 만들어 D-Q 변환하여 위상각을 추종하는 단상 PLL을 제안하였다. DFT로 추출된 정상분이 가상 2상 방식의 PLL에 입력되기 때문에 기존의 가상 2상 방식의 PLL에서 사

용되어지던 PI 제어기와 저역통과필터 부분은 제거된다.

그러므로 게인 튜닝이 필요 없고, 위상추종범위에 제한을 받지 않는다.

4. 시뮬레이션

Goertzel 알고리즘을 이용한 단상 PLL의 성능을 검증하기 위해 PSIM을 이용하여 시뮬레이션 하였다.

계통전압은 3차, 5차, 7차 고조파를 기본파 전압 크기에 각 5%씩 포함시켜서 전압의 THD를 8.66%로 왜곡시켰다.

정상분의 주파수는 60[Hz] 이므로 100[usec]마다 샘플링하면 N-point는 166개가 된다.

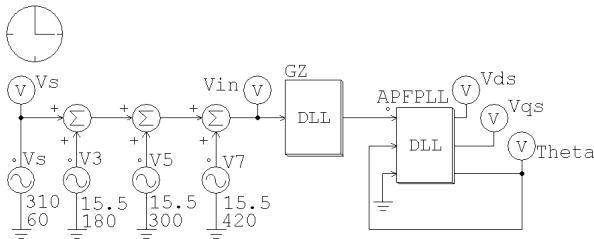


그림 4. 시뮬레이션 구성도
Fig. 4 Composition of simulation

아래 그림 5에서는 위 그림 1에 나타나 있는 기존의 전역필터를 이용한 가상 2상 방식의 PLL에 위에서 제시한 고조파들이 포함된 계통전압을 인가하였다. 그 결과 위상각에 왜곡이 나타나 있음을 알 수 있다.

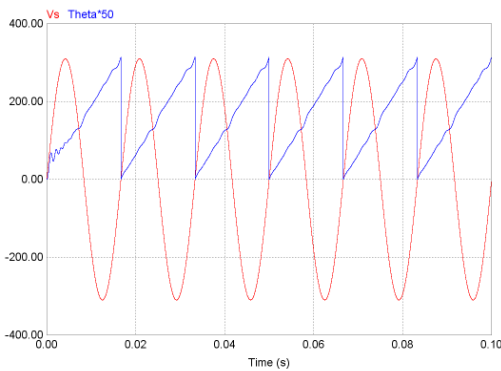


그림 5. 가상 2상 방식을 이용한 단상 PLL의 위상각
Fig. 5 Phase angle of single phase PLL of virtual 2 phase method

아래 그림 6에서는 본 논문에서 제안한 Goertzel 알고리즘을 이용한 단상 PLL에 위에서 제시한 고조파들이 포함된 계통전압을 인가하였다. 위상각을 살펴보면 계통 입력 정상분의 첫 번째 주기에서 Goertzel 알고리즘의 연산이 수행되고, 두 번째 주기에는 과도상태가 나타나며 세 번째 주기부터 정상분의 위상각을 왜곡 없이 추종함을 알 수 있다.

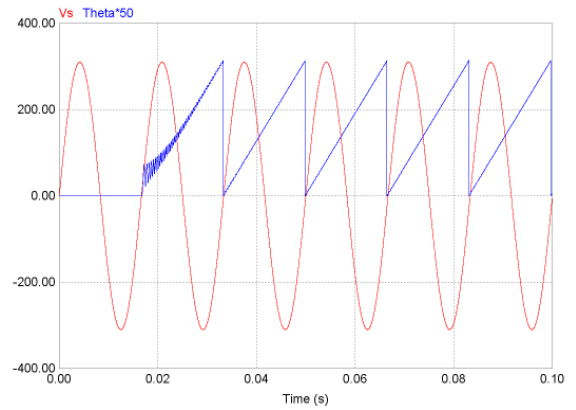


그림 6. Goertzel Algorithm을 이용한 단상 PLL의 위상각
Fig. 6 Phase angle of single phase PLL using Goertzel Algorithm

5. 결론

단상 계통연계형 인버터에서 각종 고조파에 의해 왜곡된 계통전압을 연산속도가 개선된 DFT의 일종인 Goertzel 알고리즘을 적용하여 정상분을 추출하여 위상각을 추종하는 방식을 제안하였고 시뮬레이션을 통하여 왜곡이 없는 계통의 정상분의 위상각을 얻을 수 있음을 확인하였고, 위의 알고리즘은 태양광 PCS나 연료전지 PCS에 적합함을 입증하였다.

본 과제(결과물)는 지식경제부의 지원으로 수행한 에너지자원인력양성사업의 연구결과입니다.

참고 문헌

- [1] 류강열, 민병덕, 이종필, 김태진, 유동욱, 송의호, “FFT를 이용한 위상추종 방법”, 전력전자학회 2007년도 추계학술대회 논문집, 2007. 11, 190 - 192pp.
- [2] 목형수, 최규하, 이정민, 김상훈, 지준근, “계통연계형 인버터의 왜곡된 계통전압에 의해 발생하는 전류고조파 저감방법”, 전력전자학회 2007년도 추계학술대회 논문집, 2007. 11, 108 - 111pp.
- [3] E. Jacobsen, R. Lyons, “The sliding DFT”, Signal Processing Magazine, IEEE, Vol. 20, No. 2, March 2003, 74 - 80pp.
- [4] K. P. Sozański, “Sliding DFT Control Algorithm for Three-Phase Active Power Filter”, Applied Power Electronics Conference and Exposition, 2006. APEC '06. Twenty-First Annual IEEE 19-23, March 2006, 7pp.