

EHW 칩 아키텍처에 관한 연구

*김종오, 김덕수, 이원석
동양공업전문대학 전기전자통신공학부
e-mail : jokim@dongyang.ac.kr, dskim@dongyang.ac.kr, wslee@dongyang.ac.kr

A Study on the EHW Chip Architecture

*Jong-O Kim, Duck-Soo Kim, Won-Seok Lee
School of Electrical Engineering
Dongyang Technical College

Abstract

An area of research called evolvable hardware has recently emerged which combines aspects of evolutionary computation with hardware design and synthesis. Evolvable hardware (EHW) is hardware that can change its own circuit structure by genetic learning to achieve maximum adaptation to the environment. In conventional EHW, the learning is executed by software on a computer. In this paper, we have studied and surveyed a gate-level evolvable hardware chip, by integrating both GA hardware and reconfigurable hardware within a single LSI chip. The chip consists of genetic algorithm(GA) hardware, reconfigurable hardware logic, and the control logic. In this paper, we describe the architecture, functions of the chip.

I. 서론

진화형 하드웨어(Evolvable Hardware, EHW)는 카멜레온 피부의 색이 주위의 환경변화에 대해 자율적으로 변하는 것과 같이, 하드웨어의 기능을 환경에 따라 자율적으로 변화시켜 언제나 최적의 성능을 갖도록 하는 완전히 새로운 하드웨어의 개념이다.

EHW는 프로그램 가능소자(PLA)와 유전자 알고리즘(GA)과 같은 진화형 계산이 결합된 하드웨어 소자이다[1-2]. 본 논문에서는 EHW 관한 개괄적인 논문으로 실제 산업현장에 활용을 위한 시도에 관한 연구 동향을 파악하기 위한 것이다. 본 논문은 EHW 칩 아키텍처 및 설계 예에 관하여 살펴보았다.

II. EHW 칩 아키텍처

2-1. 개요

EHW 칩의 블록도는 그림 1.과 같다. 즉, EHW칩은 재구성 가능한 하드웨어 로직인 유전자 알고리즘(GA) 부분과 PLA가 있고, 여기에 레지스터와 제어로직이 있다.

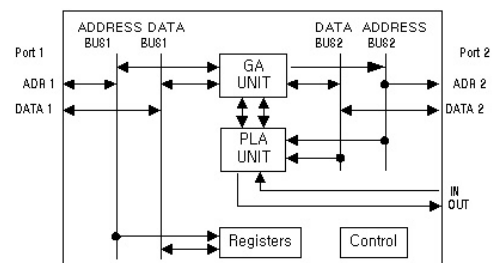


그림 1. EHW 칩의 블록도

이 아키텍처의 장점은 두 개의 검색체를 병렬로 처

리할 수 있다는 것이다. 그림 1.에서 보는 바와 같이 외부의 2 포트 램을 병렬 액세스 할 수 있도록 2개의 포트가 있고, GA 부와 PLA부 역시 이 두 개의 포트로부터의 데이터 스트림을 위해 병렬처리 아키텍처로 구성되어 있다. 이들 아키텍처는 참고문헌 [3]에서 처음 제안된 후, 회로의 대부분을 새로 개선하고 몇 가지 새로운 기능을 추가하였다. 칩의 블록도는 그림 2.와 같다[4].

2-2. 함수

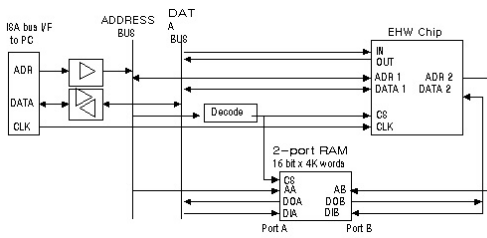


그림 2. EHW 칩 보드의 블록도

GA Unit

GA 유닛에서는 안정상태 GA와 재결합을 통해 GA 학습동작을 수행한다. 이 GA 유닛의 처리과정은 그림 3.과 같다. 이 GA 유닛에서는 32비트의 유닛 안에 있는 염색체 메모리로부터 2개의 염색체를 병렬로 선택한 후, 이 두 염색체에 대해 교차(crossover)와 돌연변이(mutation) 연산을 실시하여 2개의 염색체 조각을 만든다.

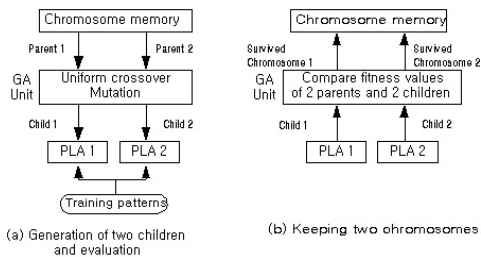


그림 3. GA 유닛의 동작 과정

PLA Unit

PLA(Programmable Logic Array)의 블록도는 그림 4.와 같다. 본 그림에서는 데이터버스만 표시되어 있다. 병렬처리를 위해 2개의 PLA가 있다. 이 블록은 32비트의 유닛에서 병렬로 GA 유닛으로부터 2개의 염색체를 읽어 병렬로 2개의 회로를 실현한다.

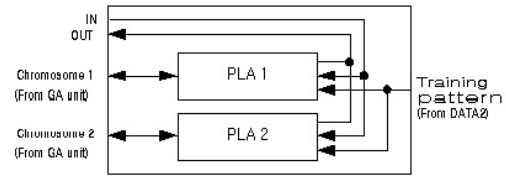


그림 4. PLA 유닛의 블록도

난수발생기(Random number generator)

기존의 GA 하드웨어에서 매우 일반화 되어있는 바와 같이, 본 EHW 칩의 구현을 위해 셀룰러 오토마타를 이용한 병렬난수발생기가 선택되었는데, 이 난수발생기는 매 클럭 사이클마다 난수를 발생할 수 있다.

메모리(RAM)

EHW 칩은 보드위에 2 포트 RAM을 이용하여 동작되고 있다. 이 메모리는 크게 세부분으로 나뉘어진다. 즉, 검색체메모리, 연습용 메모리 및 적합도 값을 위한 메모리이다.

IV. 결 론

진화형 하드웨어의 기본적인 개념과 그 응용 예로서 진화형 하드웨어 칩설계에 관하여 살펴보았다. GA 알고리즘의 학습용 하드웨어와 재구성 가능한 하드웨어 로직인 PLA를 결합하여 진화형 하드웨어인 EHW를 개발에 관하여 좀 더 세부적으로 살펴보았다. 향후의 연구방향은 여기서의 설계를 바탕으로 실제 칩을 제작하여 그 성능을 평가 해보는 것이다.

참 고 문 헌

[1] M. Iwata, I. Kajitani, Y. Liu, N. Kajihara, T. Higuchi : Implementation of Gate-Level Evolvable Hardware Chip, Proc. of ICES , Springer Verlag, 2001, P.38
 [2] Higuchi, T. Niwa and et al. : Evolvable Hardware with Genetic Learning. Proc. simulation for Adaptive Behavior, MIT Press, 1993, p.417
 [3] Kajitani, I. Hoshino, T. Nishikawa and et al. : A Gate-Level EHW Chip Hardware, Lecture Notes in Computer Science, Vol. 1478, Springer Verlag, Berlin, 1998
 [4] Tetsuya Higuchi, Yong Liu and Xin Yao: Evolvable Hardware Springer, 2007