

CMOS 소자에서 과도방사선펄스에 의한 Dose-Rate Latchup 모의실험

*이현진, 이남호, 황영관
한국원자력연구원
e-mail : leehj@kaeri.re.kr, nhlee@kaeri.re.kr

Simulation for Dose-Rate Latchup
by Transient Radiation Pulse in CMOS Device

*Hyun-Jin Lee, Nam-Ho Lee, Young-Gwan Hwang
Korea Atomic Energy Research Institute

Abstract

A nuclear explosion emits a transient radiation pulse like gamma rays. Gamma rays have a high energy and cause unexpected effects in semiconductor devices. These effects are mainly referred to dose-rate latchup and dose-rate upset. By transient radiation pulse in CMOS devices, dose-rate latchup is simulated in this paper.

I. 서론

CMOS 소자, IC 등의 전자소자가 고준위 순간 방사선에 노출되면 다양한 메커니즘을 통해 손상이 발생된다. 이와 같은 중성자 및 감마선에 의한 과도방사선효과와는 인체뿐만 아니라 첨단전자장비에도 치명적인 영향을 끼친다. 선진국에서는 이러한 과도방사선효과에 대비하는 기술을 오래전부터 방사선 시험관련 장비 및 우주부품에 대해 활발히 연구하고 있으나 우리나라는 현재 관련 기술이 매우 취약한 실정이다.

본 논문에서는 과도방사선효과로 나타나는 전자부품의 Latchup에 대한 이론적 분석과 대표적인 소자인 CMOS에 대한 모의실험을 수행하였다.

II. 본론

2.1 Dose-Rate Latchup/Upset

반도체 소자, 집적회로, 시스템에 입사되는 방사선 또는 방사선 입자의 영향은 조사시간과 조사량에 따라 다른 결과가 나타나는데, 같은 양의 조사량도 아주 짧은 시간에 조사(High Dose-Rate)하여 생기는 현상으로 Dose-Rate Upset/Latchup(이하 DRU, DUL)이 있다. 높은 Dose-Rate의 감마선이 반도체 소자 내로 입사되면, 입사 에너지를 잃을 때까지 반도체 소자 내 접합(Junction)과 Bulk에 전자-정공 쌍(Electron-Hole Pair)들을 생성하게 된다. 생성된 전자-정공 쌍들은 표류와 확산 과정을 통해 과도전류(또는 광전류)를 일으키고, 이 과도전류가 예상하지 못한 소자의 오류를 발생시키게 된다.[1]

DRL은 CMOS 반도체 소자 내에 기생적으로 생기는 npnp(또는 npnp) SCR 구조가 동작하면서 전류가 증폭되는 현상이며, 심할 경우 소자가 타버릴 수도 있다. DRU는 과도전류로 인해 메모리 소자의 비트플립 또는 논리회로의 상태변화 등의 오류가 발생하는 현상을 의미하며, 그 피해는 반영구적이다.[2]

III. 모의실험

과도방사선에 의한 DRL 현상 확인은 SPICE로 모의

실험이 가능하다. 그림 1은 일반적인 CMOS 구조의 단면적과 기생 트랜지스터의 등가회로를 보여준다.

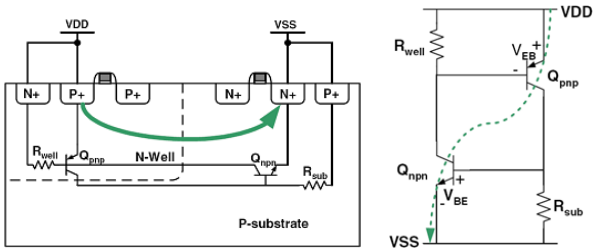


그림 1. 일반적인 CMOS 구조의 기생 pnpn 트랜지스터

반도체 소자 내에 과도방사선펄스 입사로 인해 Bulk 내에 생성되는 과도전류를 Qnpn 베이스 단에 펄스 전류 회로로 모델링하였고, 이 회로를 더해 구성한 모의 실험 회로를 그림 2에서 보여준다.

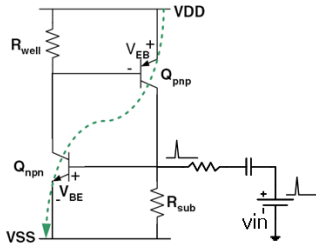
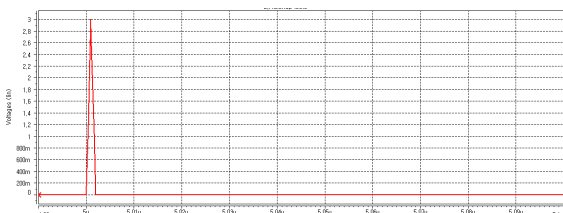
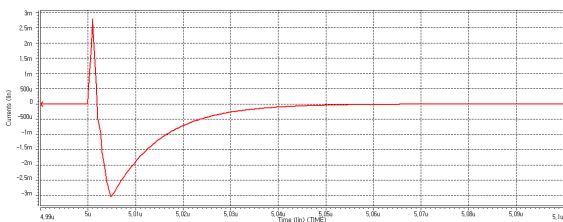


그림 2. Spice 구성 회로

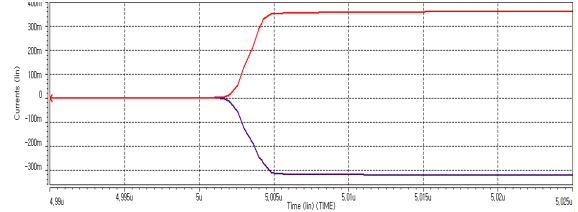
Latchup의 발생 유무를 확인하기 위해서 Qnpn에 흐르는 전류를 시간에 대해 분석하였고 그 결과 그래프를 그림 3에 나타내었다.[3]



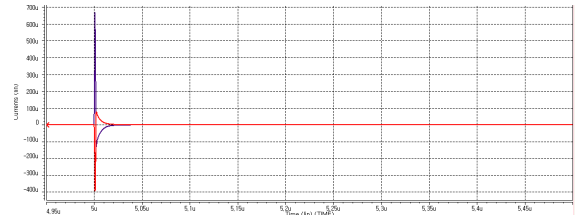
(a) 입력 전압 펄스



(b) Qnpn을 turn on 시키는 과도 전류



(c) $\beta_{npn} \times \beta_{pnp} \geq 1$ 일 때, Qnpn, Qpnp에 증폭된 전류



(d) $\beta_{npn} \times \beta_{pnp} \leq 1$ 일 때, Qnpn, Qpnp에 증폭된 전류
그림 3. 모의실험 결과

그림 3의 (c)와 (d)를 보면 두 기생 트랜지스터의 전류 이득의 곱이 1이상일 때 전류가 크게 증폭되어 Latchup 현상이 발생됨을 모의실험 결과로 확인할 수 있다. 그러나 전류이득 곱이 1이하일 때 짧은 시간에 전류가 증폭되지만 Latchup은 발생되지 않음을 알 수 있다.

IV. 결론 및 향후 연구 방향

과도 방사선이 입사하여 CMOS 구조의 반도체 소자에서 bulk 내 과도전류로 인해 기생 pnpn 트랜지스터를 동작시키는 되어 전류가 증폭되는 것을 Spice 모의 실험으로 확인하였다. 또한 두 트랜지스터의 전류이득 곱이 Latchup 발생 여부를 결정짓는 모의실험 결과를 얻었다.

향후 과도방사선 펄스를 정확히 모사하여 upset에 관한 모의실험도 더불어 수행하고, 실제 소자의 기생 파라미터들을 대입한 모의실험 결과와 과도방사선 실측실험 데이터를 비교하여 반도체소자의 과도방사선 문턱 값을 DB화 할 것이다.

참고문헌

[1] Dacid R. Alexander, Transient Ionizing Radiation Effects in Devices and Circuits, IEEE Trans. Nucl. Sci., June, 2003.
 [2] G. Messenger, The Effects of Radiation on Electronic Systems, 1986.
 [3] Ming-Dou Ker, Transient Analysis of Submicron CMOS Latchup with a Physical Criterion, Aug, 1993.