30nm급 Multi-level Non-volatile Memory의 특성 및 동작 평가를 위한 주변 회로 설계

*윤한섭, **박성우, **이학수, 곽계달
한양대학교 전자통신컴퓨터공학부
e-mail : hansubyoon@hanyang.ac.kr, micro@hanyang.ac.kr,
xuelizhe@hanmail.net, kwack@hanyang.ac.kr

The Peripheral Circuit Design of 30nm Multi-level Non-volatile Memory for characteristics and operating evaluation.

*Han-Sub Yoon, **Seong-Woo Park, **Xue-Zhu Li, Kae-Dal Kwack
Advanced Semiconductor Research Center,
Division of Electronics & Computer Engineering, Hanyang University.

I. 서론

현재의 Flash 메모리는 집적도의 한계와 속도에 있어서 문제점을 가지고 있으며 이러한 한계를 극복하기 위해서 새로운 물질과 구조의 메모리 소자의 개발 및 같은 크기의 셀 안에 보다 많은 정보를 저장할 수 있는 기술의 개발이 필요한 상황이다.
본 논문에서는 차세대 메모리 기술 중 전하 트랩 형(Charge trap type)인 SONOS 셀의 특성을 기준으로 하는 낸드 형태의 다중 레벨 64비트 Cell array의 동작 및 신뢰성 그리고 그 특성을 테스트 할 수 있는 주변 회로를 연구 하였다.

II. 본론

고안된 회로는 비휘발성 메모리의 동작에 필요한 다양한 레벨의 전압을 내부적으로 생성되도록 설계하고 계단형 전압에 의해 게이트 전압을 조절하는 전류 방식의 센싱 방법을 이용하여 보다 효율적인 다중 레벨 비휘발성 메모리의 주변회로를 설계하였다.

주변 회로는 명령 디코더(Command Decoder), 워드라인 디코더(X-Decoder), 비트라인 디코더(Y-Decoder), 감지 증폭기(Sense Amplifier), 펄스 발생기(Oscillator) 그리고 출력 버퍼(Output Buffer)등의 회로로 구성 되어있다.

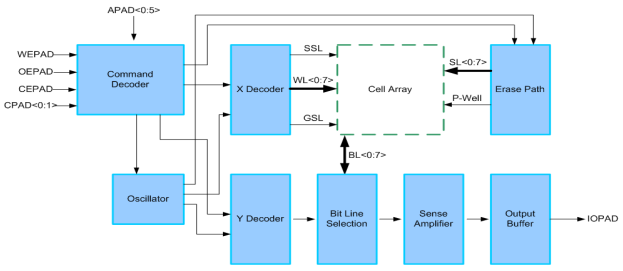


그림 1. 전체 주변회로 블록도

2.1 명령 디코더(Command Decoder)

명령 디코더는 6비트의 주소신호와 CEPAD, OEPAD, WEPAD의 동작 결정 제어신호와 CPAD0, CPAD1의 테스트 동작 신호를 입력받아 각각의 블록들이 적절한 동작을 하도록 내부 명령 신호들을 생성하는 역할을 한다.

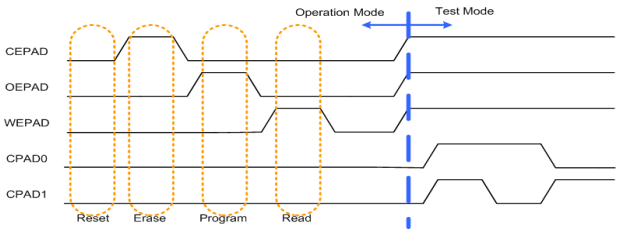


그림 2. 제어 신호들

2.2 워드라인 디코더(X-decoder)

워드라인 디코더는 주소의 하위 3비트와 명령 디코더에서 생성된 내부 제어 신호들에 의해 각 동작에 필요한 8비트의 워드라인 전압을 결정한다.

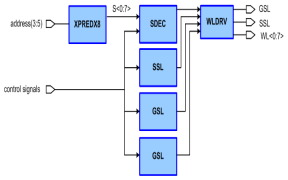


그림 3. X-decoder Block

	Read	Write	Erase
Sel. WL	Step	20V	0V
Pass WL	4.5V	10V	0V
SSL	4.5V	3.3V	Float
GSL	4.5V	0V	Float
CSL	0V	·	·
P-Well	0V	0V	20V
Sel. BL	·	0V	·
Unsel. BL	·	3.3V	·

표 1. 동작 전압

2.3 비트라인 디코더(Y-decoder)

비트라인 디코더는 주소 상위 3 비트를 디코딩하고, 내부 제어 신호에 따라 BL을 선택하고 제어하는 역할을 한다. 선택된 비트라인과 선택되지 않은 비트라인을 구분하고, 쓰기 동작을 할 때에는 선택되지 않은 비트라인에 전압을 인가해 쓰기 동작을 방지하는 역할을 한다.

2.4 감지 증폭기(Sense Amplifier)

그림 4.는 cell 포화 영역에서의 감지 문제를 보여주며 그림 5.에서 stepped control gate 방식의 감지 증폭기를 보여준다.

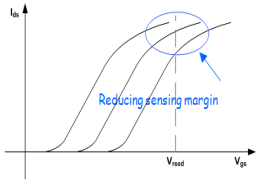


그림 4. 센싱 마진 감소

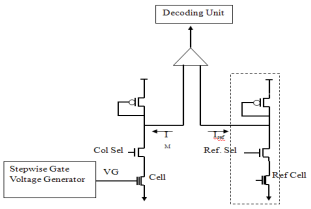


그림 5. Sensing method with stepped control gate

계단형 게이트 제어 전압에 의한 센싱 방법은 4레벨 이상의 센싱이 가능하다.

2.5 펄스 발생기(Oscillator)

명령 디코더의 제어 신호에 의해 일정 주기의 클럭을 발생 시켜주는 역할을 한다.

2.6 고전압회로(High voltage generator)

낮은 전압 입력에서도 효율이 높고 빠른 Settling time과 Low ripple 전압 출력을 가지는 회로를 구성하기 위하여 낮은 전압 단계에서는 Pseudo 4 phase 전하펌프를 이용하여 구성하고 높은 전압 단계에서는 Cross coupled 전하펌프를 이용하여 구성하였다. 이는 1.8V이하의 낮은 전압에서도 20V이상의 고전압을 생성할 수 있음을 확인 시켰다.

2.7 소거 패스(Erase Path)

셀 배열의 소스 라인을 제어 하는 역할을 한다. 고전압 스위치를 사용하여 소거 동작에서 WELL 전압을 전달하는 역할을 한다.

Ⅲ. 구현

HSPICE 시뮬레이션을 통한 결과로써 제안된 회로를 검증하였다. 각각의 동작에 대한 워드라인 전압을 그림 6에 나타내었다. 그림 7에서는 계단형 전압생성기의 결과를 그림 8에서는 레퍼런스 전류와 입력 전류 값을 비교한 결과를 나타내었다.

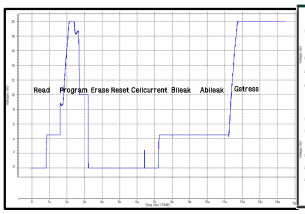


그림 6. 각각의 동작에 대한 워드라인 전압

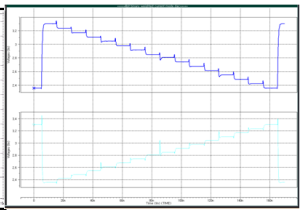
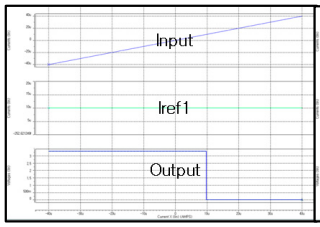
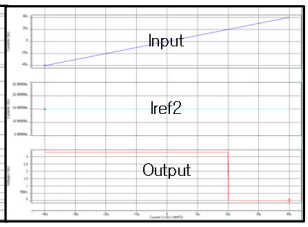


그림 7. Stepwise voltage generator



(a) 레퍼런스 전류1 에 대한 입력 전류와의 비교



(a) 레퍼런스 전류2 에 대한 입력 전류와의 비교

그림 8. 전류 비교기 시뮬레이션 결과

Ⅳ. 결론 및 향후 연구 방향

제안된 테스트 주변회로는 효율적으로 다중 레벨 비휘발성 메모리 동작 및 특성을 확인할 수 있는 방법을 제시하였다. 향후 과제로서 현제 설계된 회로를 보강하여 더 작은 면적에 더 좋은 효율을 가지도록 하고, 다중 레벨 메모리를 보다 빠르고 세밀하게 감지 할 수 있는 감지 회로 연구와 검증이 필요하다.

Acknowledgements

This work was supported by the National Program for Tera-level Nano-devices of the Ministry of Science and Technology as one of the 21st century Frontier Programs.

참고문헌

[1] William D.Brown, Joe E. Brewer, "Nonvolatile Semiconductor Memory Technology, A Comprehensive Guide to Understanding and Using NVSM Devices", IEEE press, p4-52, 1998.

[2] Paolo Cappelletti, et al, "Flash Memories", Kluwer Academic Publishers, 2001.