Multi Level Cell 용 Sensing Margin 향상을 위한 새로운 Sensing Scheme

*윤한섭, **도성근, **김영일, 곽계달
한양대학교 전자컴퓨터통신공학과
e-mail : hansubyoon@hanyang.ac.kr, ehtjdrms@hanyang.ac.kr,
rlayi84@naver.com, kwack@hanyang.ac.kr

A Novel Sensing Scheme to improve sensing margin for SONOS Multi Level Cell

*Han-Sub Yoon, **Sung-Geun Do, **Young-Il Kim, Kae-Dal Kwack
Advanced Semiconductor Research Center,
Division of Electronics & Computer Engineering, Hanyang University

I. 서론

현재 SONOS Flash Memory의 Multi Level Cell(MLC)의 연구에 많은 노력을 하고 있다. 하지만 3bit 이상의 Multi Level을 갖기 위한 Sensing margin을 확보하기가 힘들다.

이 논문에서는 이러한 문제점을 해결하고자 Sensing margin을 향상시키기 위한 새로운 Multi Level Cell용 Sensing Scheme를 제안한다.

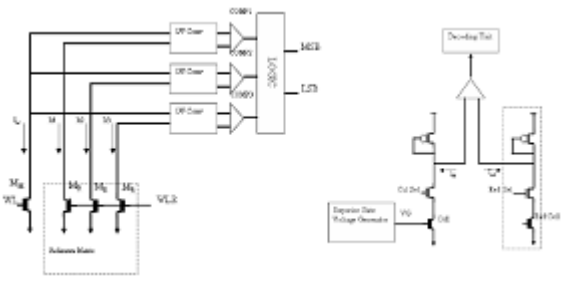
II. 본론

2.1 Background inventions

기존의 MLC을 Sensing 하기 위한 방법으로 두 가지를 들 수 있다. 바로 FCG(Fixed Constat Gate) 와 SG(Stepped Gate) 방식이다. FCG 방식은 3개의 Reference Cell과 Read할 Cell을 동시에 비교하는 방식으로 Speed가 빠르다는 장점을 갖고 있지만 회로의 크기가 커지는 단점이 있다. 반면에 SG 방식은 Gate Voltage를 Step시켜 차례대로 비교를 해가는 방식으로 회로의 크기는 작지만 Speed가 느린 단점이 있다.

2.2 Proposed Sensing Scheme

기존의 방식으로 3bit 이상의 Multi Level Cell을 Sensing을 하면 Sensing margin 확보가 어렵다. 그리고 위에서 설명된 것처럼 FCG와 SG 방식만을 사용하였을 경우 여러 가지 문제점들이 있다. 제안하는 방식은 3bit 즉 8개의 Cell을 Lower Bit Group과 Higher Bit Group로 나누어서 각 각 SG 방법과 FCG 방법을 활용하여 Sensing margin을 확보하는 동시에 위의 Speed와 Size의 문제도 어느 정도 보완할 수 있다.



(a) (b)

그림 1. (a)Fixed Constant Gate. (b)Stepped Gate.

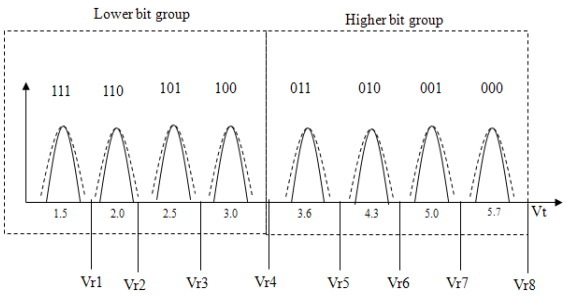


그림2. Vth distribution of a 3bit cell.

그림 3.은 제안하는 방식의 Sensing Scheme의 세부 회로도이다. LBG와 HBG를 나누어 각 각 센싱할 경우 위의 Vth distribution에서 Vr1~Vr3을 SG 방식에 사용하게 되고 Vr8을 FCG 방식에 사용하게 되어서 즉, 4개의 Vref만 필요하게 된다. 또한 FCG 방식만 사용했을 경우에 생기는 Source 쪽 Voltage Drop을 줄일 수 있어 Sensing margin을 더 확보 할 수 있게 된다. 그리고 FCG 방식만 사용한 경우보다 면적이 훨씬 감소하였고, SG 방식만 사용한 경우보다 빠른 Sensing Speed를 갖는다.

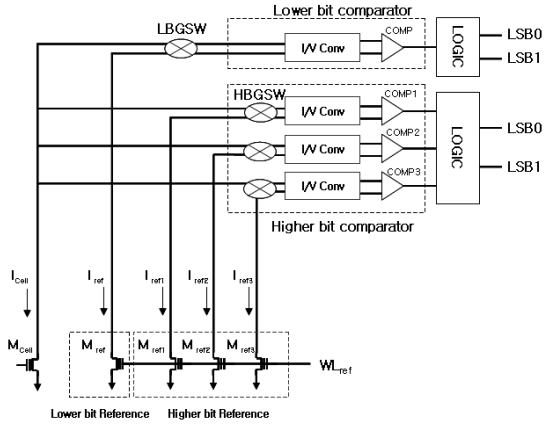


그림 3. 제안하는 방식의 세부 회로도.

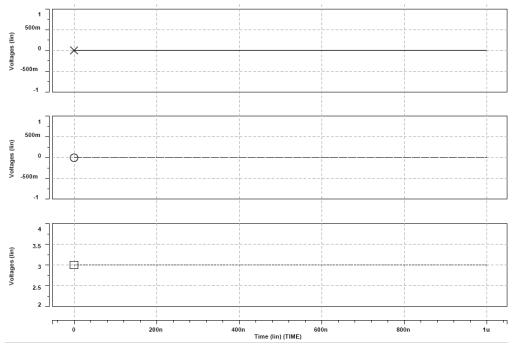
제안된 회로의 동작은 처음에 Vr4로 인해 Cell이 HBG/LBG 중 어디에 속한 Cell인지를 판별하고 최상위 비트가 각 각 0과 1로 결정된다. 그리고 SG/FCG 중 하나를 선택하여 Sensing 동작을 수행하게 되고 Cell Current와 Reference Current를 비교한 값을 LOGIC을 통해 LSB0,1을 출력하게 된다. 따라서 총 3개의 Bit가 결정되게 된다.

Ⅲ. 시뮬레이션 결과

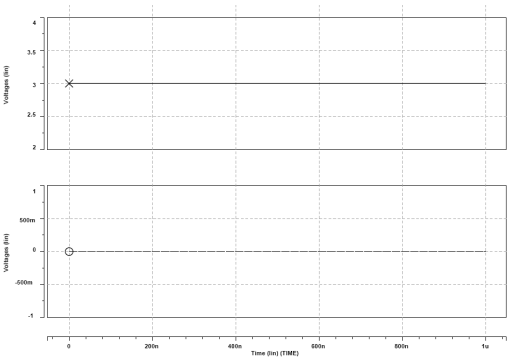
그림 4.에서 LBG와 HBG의 Cell이 Reference Voltage와 비교하여 H/L를 구분할 수 있는지를 Simulation 한 결과이다. 3bit 중 최상위 비트는 Vr4에 의해 H/LBG를 구분하게 될 때 결정되고 나머지 2bit이 SG/FCG 방식에 의해 결정된다. 다음 Simulation은 HBG의 Iref2,3>Icell>Iref1인 경우의 시뮬레이션한 결과이다. HBG인 경우 FCG 방식으로 Sensing을 하게 되면서 MSB가 '0'으로 결정된다. 이때 WL전압은 6V로 하였다. 그림 4의 (a)는 HBG comparator의 3개의 출력 SAOUT1,2,3이 각 각 L(0V), L(0V), H(3V) 가 출력되었다. (c)는 LSB0, LSB1의 값을 출력한 것이다. 이 경우 LSB0, LSB1이 각 각 H, L값이 나와 전체적으로 cell의 상태를 '010'이라고 출력하게 될 것이다.

Ⅳ. 결론

새로운 MLC용 Sensing Scheme을 제안하였다. 제안된 방법은 FCG만 사용한 경우에 비해 Sensing margin을 확보할 수 있고, Size를 감소시킬 수 있다. 그리고 SG만을 사용한 경우에 비해 Speed가 빠른 장점을 갖는다.



(a)



(b)

그림 4. HBG simulation (in case Iref2,3>Icell >Iref1)

Acknowledgements

This work was supported by the National Program for Tera-level Nano-devices of the Ministry of Science and Technology as one of the 21st century Frontier Programs.

References

[1] William D.Brown, Joe E. Brewer, "Nonvolatile Semiconductor Memory Technology, A Comprehensive Guide to Understanding and Using NVSM Devices", IEEE press, p4-52, 1998.

[2] M. Bauer, K. Tedrow, Intel Coporation, "A Scalable Stepped Gate Sensing Scheme for sub-100nm Multi level Flash Memory", IEEE 2005.

[3] Paolo Cappelletti, et al, "Flash Memories", Kluwer Academic Publishers, 2001.