

# 고효율 2단 인터리브 동기정류형 벡 컨버터

\*박종하, 김훈, 김희준

한양대학교 전기전자제어계측공학과

e-mail : [apecjongha@gmail.com](mailto:apecjongha@gmail.com), [hooniga@hanyang.ac.kr](mailto:hooniga@hanyang.ac.kr), [hjkim@hanyang.ac.kr](mailto:hjkim@hanyang.ac.kr)

## A High Efficient, Two-Stage Interleaved Synchronous Buck CMOS DC-DC Converter

\*Jong-Ha Park, Hoon Kim, and Hee-Jun Kim

Department of Electronics, Electrical, Control, and Instrumentation Engineering Hanyang University

### Abstract

This paper presents a high efficient two-stage interleaved synchronous buck CMOS DC-DC converter. The proposed circuit has a fixed duty cycle as 0.5 by an added buck converter. And it causes the best ripple cancelation of the output current ripple. The proposed circuit was simulated by HSPICE with a standard CMOS 0.35 $\mu$ m process parameter.

공급 장치에서는 전류 리플이 발생하며 이에 따라 전압 잡음이 존재한다. 병렬로 연결된 인덕터에 반대의 위상으로 구동하는 인터리브 DC-DC 컨버터는 이러한 리플 전류를 크게 줄일 수 있다. 하지만 시비율이 0.5에서 벗어날수록 리플 전류가 발생하게 된다. 본 논문에서는 이를 개선하기 위해 시비율을 0.5로 고정하기 위해 입력단 컨버터를 추가한 0.35 $\mu$ m CMOS 공정으로 설계된 인터리브 DC-DC 컨버터를 제안한다. 그림 1은 제안된 회로의 전체 회로도이다.

### I. 서론

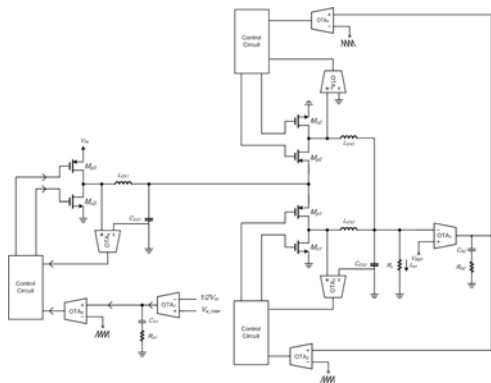


그림 1. 전체회로도

스위치모드 전원 공급 장치가 널리 쓰이게 되면서 스위칭으로 인한 리플 전류에 의한 전압 잡음이 이슈로 부각되고 있다. 여러 가지 연구를 통해 점차 개선되고는 있으나 구동의 특성상 기존의 스위치모드 전원

### II. 회로 동작 및 원리

#### 2.1 PWM 신호 발생기

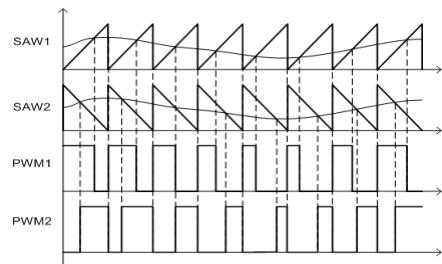


그림 2. PWM 신호 발생기의 타이밍도

인터리브 컨버터의 각 채널에 인가되는 PWM 신호는 위상차를 가져야 하며, 이것은 출력 전류의 리플 상쇄 효과를 가져오게 된다. 본 논문에서는 서로 반대 방향의 슬로프를 가지는 2개의 톱니파를 이용하여 개별적인 PWM 신호를 발생시키는 방법을 택하였다. 이 방법을 사용하게 되면 오차 증폭기의 출력이 같을 경우

동일한 시비율의 PWM 신호를 얻을 수 있다. 그림 2는 2개의 톱니파를 사용하여 PWM 신호를 발생하는 타이밍도를 나타낸다.

2.2 스위칭 제어 회로

본 논문에서는 쇼트키 다이오드 대신 n 채널 MOSFET을 사용하였다. n 채널 MOSFET을 사용하는 경우에 p 채널 MOSFET과 n 채널 MOSFET이 동시에 도통될 수 있다. 이때, 입력 전원으로부터 접지로 많은 양의 전류가 흐르게 되며 이로 인하여 많은 전력 손실과 전체 회로의 상태가 불안정하게 될 수 있다. 따라서 두 개의 스위치가 동시에 도통되지 않도록 MOSFET 스위치에 인가되는 신호를 반드시 중첩되지 않도록 하여야 한다<sup>[2]</sup>. 또 다른 문제는 부하가 작을 경우 발생하는 역전류이다. 불연속 모드로 동작할 때 역전류 방지회로가 없을 경우 출력 커패시터에 저장된 에너지가 MOSFET을 통해 흐르게 된다. 이것을 막기 위해서는 인덕터에 흐르는 전류가 0이 되면 n 채널 MOSFET을 턴오프 시켜 주어야만 한다<sup>[2]</sup>. 이것은 OTA 비교기를 이용하여 인덕터에 흐르는 전류가 0이 되면 n 채널 MOSFET을 턴 오프 시키도록 하였다.

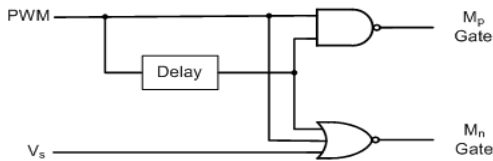


그림 3. 스위칭 제어 회로의 회로도

2.3 입력단 컨버터

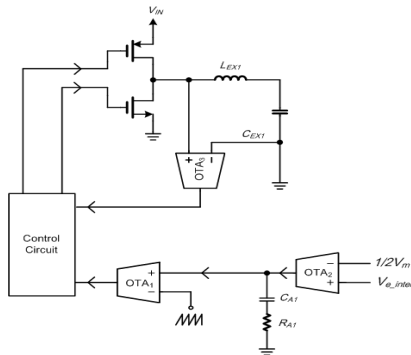


그림 4. 입력단 컨버터의 회로도

2채널 인터리브 벅 컨버터에서 시비율이 0.5일 때 이상적인 출력 전류 리플 상쇄효과를 얻을 수 있다. 본 논문에서는 시비율을 0.5로 고정하기 위하여 입력단에 벅 컨버터를 추가하였다. 입력단 벅 컨버터의 시비율은 인터리브 컨버터의 시비율에 의하여 제어 되도록 하였다. 즉, 오차 증폭기에서 인터리브 컨버터의 오차

와 톱니파의 극간전압의 1/2와 비교하여 시비율을 조절한다. 따라서 인터리브 컨버터의 오차가 작을 경우 입력단의 출력 전압은 낮아지며 이에 따라 인터리브 컨버터의 시비율은 증가하게 된다.

III. 시뮬레이션 결과

제안된 회로는 표준 CMOS 0.35 $\mu$ m 공정을 이용하여 HSPICE 시뮬레이션 프로그램을 통해 검증하였다. 공급전압은 3.3V, 기준 전압은 1V, 톱니파의 극간전압은 2V로 설정하였다. 입력단의 외부 커패시터는 2 $\mu$ F, 인덕터는 8 $\mu$ H로 정하였으며, 인터리브 컨버터 각 채널의 외부 커패시터는 1 $\mu$ F, 인덕터는 10 $\mu$ H로 정하였다. 그림 5는 시뮬레이션된 PWM 신호와 출력전류, 인덕터 전류의 파형을 나타낸다. 250mA 출력 전류에서 리플은 약 2.5mA로 측정되었다. 또한, 출력전류가 125-400mA 구간에서 85%이상의 효율을 가지는 것으로 측정되었다.

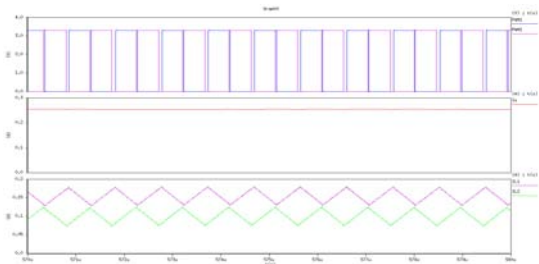


그림 5. 각 부의 시뮬레이션된 파형

IV. 결론

본 논문은 컨버터의 출력전류의 리플을 감소시키기 위한 고효율의 인터리브 컨버터를 제안하였다. 제안된 인터리브 컨버터는 매우 적은 리플을 가지므로 노이즈에 민감한 RF 시스템에 적용 가능 할 것이다.

참고문헌

[1] Siamak Abedinpour, Bertan Bakkaloglu, and Sayfe Kiaei, "A Multistage Interleaved Synchronous Buck Converter With Integrated Output Filter in 0.18 $\mu$ m SiGe Process", *IEEE TRANSACTIONS ON POWER ELECTRONICS*, Vol. 22, No.6, November 2007.  
 [2] Kyu-Jin Park, Hoon Kim, and Hee-Jun Kim, "A 1.5 MHz Simple-structured High Efficient, Synchronous Buck CMOS DC/DC Converter", in *Proc. ISOCC 2006*, pp. 525-528, October 2006.