

# 시간 영역에서 아날로그 DLL의 Bandwidth 와 Locking Speed 관계의 수식적 분석

\*류경호, 정성욱  
 연세대학교 전기전자공학부  
 e-mail : kryu@yonsei.co.kr, sjung@yonsei.ac.kr

## Numerical Analysis of the Relation of the Bandwidth and Locking Speed of the Analog DLL in Time Domain

\*Kyung-Ho Ryu, Seong-Ook Jung  
 School of Electrical and Electric Engineering at Yonsei University

### Abstract

Locking time of the DLL is the important design issue in case of clock gating for low power system. For precise analysis of the locking speed of the DLL, this paper analyzes the locking process of the DLL in time domain. Analysis result shows that the value of the DLL bandwidth over reference frequency should be limited to below 1 (i.e.  $\omega_n/F_{REF} < 1$ ) for the stable operation and relation between bandwidth and lock time is expressed by log function.

### I. 서론

DLL은 1차 시스템이기 때문에 PLL 대비 항상 안정적으로 동작하며, 따라서 PLL에 비해 설계가 쉽고 집적시키기 유리하다는 장점을 가지고 있기 때문에 [1], 최근 클럭 발생기 및 메모리 인터페이스에 널리 사용된다. 최근 회로의 저 전력 동작이 중요해 짐에 따라, 사용하지 않는 부분에 클럭 게이팅을 적용하여 전력 소모를 줄이는 방법이 널리 이용되고 있다. 따라서 클럭 공급이 끊겼다가 다시 클럭이 들어올 때, 빠르게

재 동기 시키는 것이 무엇보다도 중요하며, 이는 DLL의 동기 속도가 중요한 성능 지표가 됨을 의미한다.

본 논문에서는 DLL의 동기 되는 과정을 시간 영역에서 분석 하고 DLL 대역폭의 제한 값 및 대역폭과 동기 속도 간의 관계를 기술한다.

### II. 본론

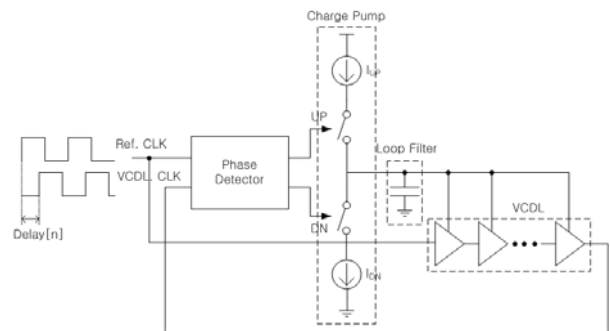


그림.1 일반적인 Analog DLL 구조

그림.1은 일반적인 아날로그 DLL의 구조이다. 본 분석에서는 선형 위상 비교기 및 음의 이득을 가지는 지연부가 사용되었다고 가정한다. 기준 클럭의 한 주기 동안 지연부 제어 전압의 변화는 다음과 같이 표현된다.

$$\Delta V_{dri} = \frac{\Delta Q}{C} = \frac{(I_{UP} \cdot T_{UP} - I_{DN} \cdot T_{DN})}{C} \quad (1)$$

식 (1)에서 전하 펌프의 전류는  $I_{CP} = I_{UP} = I_{DN}$  의 관계를 가지도록 설계하는 것이 가능하므로 [2],

$$\Delta V_{ctrl} = \frac{\Delta Q}{C} = I_{CP} \cdot \frac{T_{UP} - T_{DN}}{C} = I_{CP} \cdot \frac{\alpha T_{REF}}{C} \quad (2)$$

여기서,  $\alpha = \frac{V_{PD, gain}(delay[n])}{V_{DD}}$  (3)

식 (2)의  $\alpha$ 는 기준 클럭의 한주기 동안 전하 펌프가 동작하는 시간이고, 이는 식 (3)과 같이 DLL의 임의의 n번째 지연에 대한 위상 비교기 이득의 함수로 표현이 가능하다. 따라서 DLL이 한번 동작했을 때 지연 변화는 다음과 같이 표현이 가능하다.

$$\begin{aligned} \Delta delay &= -K_{VCDL} \cdot \Delta V_{ctrl} \quad (4) \\ &= -K_{VCDL} \cdot T_{REF} \cdot I_{CP} \cdot \frac{V_{PD, gain}(delay[n])}{C \cdot V_{DD}} \end{aligned}$$

여기서,  $K_{VCDL}$  은 지연부 제어 전압의 변화에 대한 지연의 변화량의 절대값 으로 정의된다, 한편, 임의의 n+1번째 지연은

$$delay[n+1] = delay[n] + \Delta delay \quad (5)$$

와 같이 표현된다. 선형적인 위상비교기가 이용됐다고 가정하고 식 (4),(5)를 정리하면

$$\begin{aligned} delay[n+1] &= delay[n] - K_{VCDL} \cdot I_{CP} \cdot \frac{(delay[n] - T_{REF})}{C} \\ &= (1 - \frac{w_n}{F_{REF}}) \cdot delay[n] + \frac{w_n}{F_{REF}} \cdot T_{REF} \quad (6) \end{aligned}$$

여기서,  $\frac{w_n}{F_{REF}} = \frac{K_{VCDL} \cdot I_{CP}}{C}$  (7)

식 (7)의  $w_n$ 은 DLL의 대역폭을 의미한다. 식 (6)을 수열의 일반형으로 정리해서 초기 지연 ( $delay[0]$ ) 으로부터 DLL이 임의의 횟수만큼 동작한 뒤에 나오는 지연 간의 관계식을 얻어내면,

$$delay[n] - T_{REF} = (1 - \frac{w_n}{F_{REF}})^n \cdot (delay[0] - T_{REF}) \quad (8)$$

식 (8)에 의해서 선형적인 위상 비교기를 이용하면, DLL이 무한 번 동작해야 위상이 정확히 일치하게 될을 알 수 있다. 이 결과는 수식적으로는 정확할지 모르나, 공학적으로는 의미가 없으므로, 식 (8)은 다음과 같이 좀 더 공학적인 관점에서 다시 해석할 수 있다.

$$|delay[n_T] - T_{REF}| = |(1 - \frac{w_n}{F_{REF}})^{n_T} \cdot (delay[0] - T_{REF})| < \epsilon \quad (9)$$

식 (9)가 안정적으로 수렴하기 위해서는  $w_n/F_{REF} < 1$  이라는 전제 조건이 필요하다. 이와 같은 전제조건 하에서  $n_T$ 번째 delay와  $T_{REF}$ 의 차이가 임의의  $\epsilon$ 보다 작게 되면 이때 DLL은 동기 되었다고 볼 수 있다

DLL의 대역폭이 증가는 식 (9)에서  $w_n$  대신  $k w_n$ 로 두어서 표현가능하다. 대역폭의 변화에 따른 상대적인 동기 속도의 변화는 다음의 식으로 정리된다.

$$Locking\ Speed\ Ratio: \frac{n_{T_{Bwhigh}}}{n_{T_{Bwlow}}} = \frac{\ln(1 - \frac{w_n}{F_{REF}})}{\ln(1 - k \frac{w_n}{F_{REF}})} \quad (10)$$

즉, DLL의 동기시간은 대역폭과 로그 함수의 관계를 가지고 표현됨을 알 수 있다. 식 (10)의 분포를 그려보면 다음과 같다.

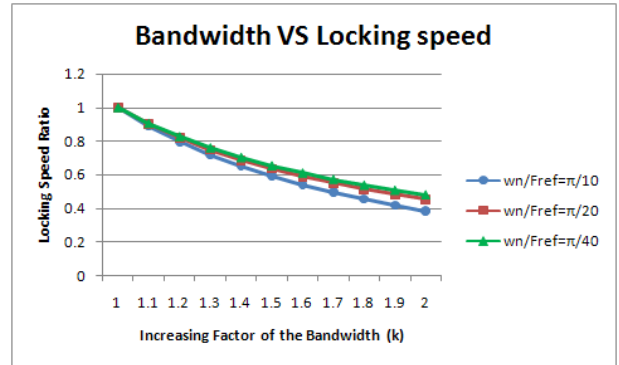


그림.2 대역폭과 동기 속도 간의 관계

### III. 결론

DLL의 중요한 성능 지표 중 하나인 동기 속도의 정확한 분석을 위해, 본 논문에서는 시간영역에서 DLL이 동기를 이루는 과정을 수식적으로 분석하였다. 수식적으로 분석으로부터, DLL이 안정적으로 동작하기 위해서는  $w_n/F_{REF} < 1$  의 제한조건을 만족해야 하며, DLL의 동기 속도는 대역폭과 로그 함수의 관계를 가진다는 결론을 이끌어 내었다.

**Acknowledgement** 본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체 기반기술개발사업(시스템 IC 2010)”을 통해 개발된 결과임을 밝힙니다.

### 참고문헌

[1] C.Kim, I-C.Hwang and S-M.Kang, “A Low-Power Small-Area 7.28-ps-Jitter 1-GHz DLL-Based Clock Generator.” IEEE J. Solid-State Circuits, Vol.37, No.11, 2002, pp. 1414-1420.  
 [2] J-S.Lee, M-S.Keel, S-I.Lim and S.Kim, “Charge Pump with Perfect Current Matching Characteristics in Phase Locked Loops.” Electronic Letters, Vol.36, No.23, 2000, pp. 1907-1908.  
 [3] A.Chandrakasan, W.J.Bowhill, F.Fox, “Design of High-Performance Microprocessor Circuits”, IEEE Press, 2000