

# 개선된 QVGA급 LCD Driver IC의 그래픽 메모리 설계

\*차상록, 이보선, 김학윤, 최호용

충북대학교 반도체공학과

e-mail : greeny2k@cbnu.ac.kr

## Improved Design of Graphic Memory for QVGA-Scale LCD Driver IC

\*Sang-Rok Cha, Bo-Sun Lee, Hak-Yoon Kim, Ho-Yong Choi  
Dept. of Semiconductor Engineering Chungbuk National University

### Abstract

This paper describes an improved design of graphic memory for QVGA (320x240 RGB) - scale 262k-color LCD Driver IC. A *distributor block* is adopted to reduce graphic RAM area, which is accomplished with 1/8 data lines of the previous structure. In line-read operation, the drivability of memory array cell is improved by partitioning a word line according to the row address. The proposed graphic memory circuit has been designed in transistor level using 0.18  $\mu\text{m}$  CMOS technology library and verified using Hsim.

### I. 서론

최근, 모바일 기기의 고속 성장에 힘입어 LCD Driver IC (LDI)의 수요가 크게 증가하고 있다. 또한 LDI의 고해상도에 따라 대용량의 그래픽 메모리가 필요하게 되고, 이는 LDI 면적의 70%까지 차지하고 있다. 따라서 저면적의 고효율 그래픽 메모리의 설계가 크게 요구되고 있다[1].

종전의 그래픽 메모리는 해상도가 높아짐에 따라 증가하는 수 천개 data line의 면적 문제와, line-read 동작 시 구동력이 문제되고 있다[2]. 본 논문에서는 distributor 블록 구조를 채택하여 저면적 설계와, word line 분할동작 구조를 통해 구동력 향상을 위한 설계를 제안한다.

\* 본 논문은 지식경제부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업과 IDEC의 연구 결과입니다.

### II. 개선된 그래픽 메모리 설계

#### 2.1 그래픽 메모리 블록

본 논문에서 제안하는 그래픽 메모리는 그림 1과 같이 데이터를 저장하는 메모리부, 패널에 데이터를 전송하는 디스플레이 주변회로부로 구성된다. 메모리부는 다시 Memory array, Sense amp, Decoder, DB sense amp, Write driver, I/O buffer, Peripheral 블록으로 구성되며, 디스플레이 주변회로부는 Display switch, Distributor로 구성된다.

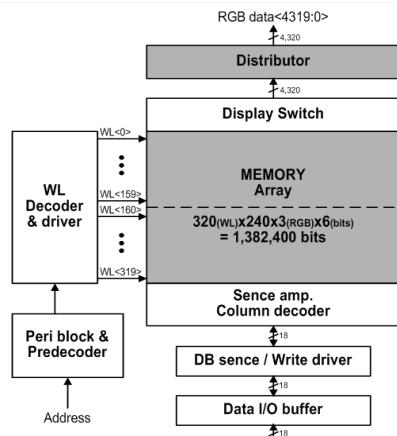


그림 1. 그래픽 메모리의 블록다이어그램

Memory array는 각 셀이 1T RAM으로 구성되어 있고, folded-bit line 구조로 1,382,400 bits (= 320 x 240(dots) x 3(RGB) x 6(bits)) 크기의 셀과 18-bit I/O 인터페이스를 갖는다. Sense amp는 half Vcc precharge 방식으로 설계한다. Line-read에 대한 데이터 처리는 display switch로 셀 데이터를 넘겨주고, 이

를 Distributor 블록에서 AC signal의 H/L 교번에 따라 반전 또는 비 반전 신호를 생성하고 4,320개의 데이터를 source driver부로 전송한다.

## 2.2 Distributor 블록을 이용한 저면적 설계

QVGA급 디스플레이의 메모리는 하나의 화면을 표현하기 위해서 4,320 ( 240 x 18bits ) 의 데이터를 source driver부로 320번 순차적으로 보내주어야 한다. 이 때 4,320개의 데이터 라인은 레이아웃 시에 많은 면적을 차지할 뿐만 아니라, 이 데이터 라인이 동시에 동작하게 되어 peak current가 많이 흐르게 된다. 이를 개선하기 위해 distributor 블록을 이용하여 데이터를 순차적으로 보내는 방법을 선택한다. 그림 2는 mux 구조를 이용한 distributor 회로로서 4,320개의 라인을 540 개의 라인만으로 데이터를 전송할 수 있다. Display switch로부터 받은 그래픽 데이터를 source driver로 보내주기 전에 들어오는 8번의 enable 신호에 동기화하여 source driver로 보내줌으로서 레이아웃 면적 감소 효과를 갖게 된다. 또한 데이터 라인이 줄어듦으로서 peak current 감소 효과도 얻을 수 있다. 그리고, LCD 패널의 특성상 impurity charge에 의한 flicker 현상과 cross talk 현상을 방지해 주기위해 데이터를 반전 혹은 비반전 신호로 전송함으로서, dot inversion이나 column inversion 기능을 가진다.

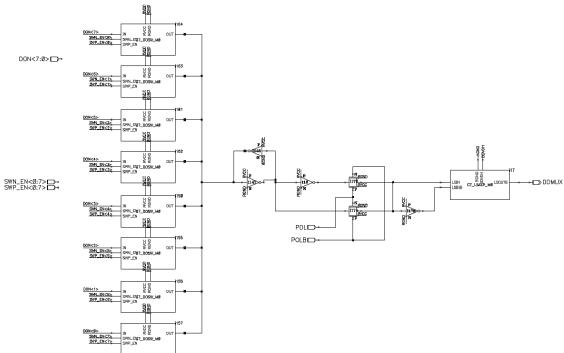


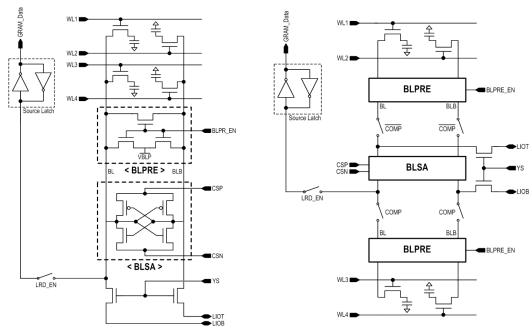
그림 2. Distributor 회로

## 2.3 Word line 분할에 의한 대 구동력 설계

그림 3(a)는 종전의 셀 구조로서, 해상도가 증가함에 따라 word line의 수가 증가하여, bit line cap( $C_B$ )의 크기가 증가한다. 이는  $|\Delta V| = |(V_{cc}/2)/(1 + C_B/C_C)|$ 의 감소로 이어져 sence amp의 sencing 특성을 저하시키고,  $|\Delta V|$ 를 유지하기 위한 cell cap 용량의 증가로 인해 면적의 증가를 초래할 뿐만 아니라, line read 동작 시 구동력을 저하시킨다.

이를 개선하기 위해 word line에 따라 cell array가

둘로 나뉜 그림 3(b)의 구조를 제안한다. Row address에 의해 발생하는 제어신호인 comp신호는 WL1~160이 선택될 때 '0', WL161~320이 선택될 때 '1'로 발생되어, BL/BLB line을 선택적으로 연결한다. 이는  $C_B$ 의 크기를 감소시켜,  $|\Delta V|$ 가 증가하여 sencing 특성을 향상시킨다. 또한  $C_B$ 의 감소는 line-read 동작 시 peak current를 감소시켜 좋은 구동력을 갖게 한다.



(a) 기존구조      (b) Word line 분할구조  
그림 3. 그레픽 메모리의 cell array 구조

## III. 시뮬레이션 결과

본 논문에서 제안한 QVGA급 LDI의 그레픽 메모리를 0.18um CMOS 공정으로 트랜지스터 레벨로 설계하였다. 그림 4는 그레픽 메모리의 주요 동작에 대한 Hsim을 이용한 시뮬레이션 결과이다. WL<0>이 선택되었을 때, 그레픽 메모리의 read / write 동작과 line-read / self-refresh 동작이 정상적으로 수행된 결과를 보여준다.

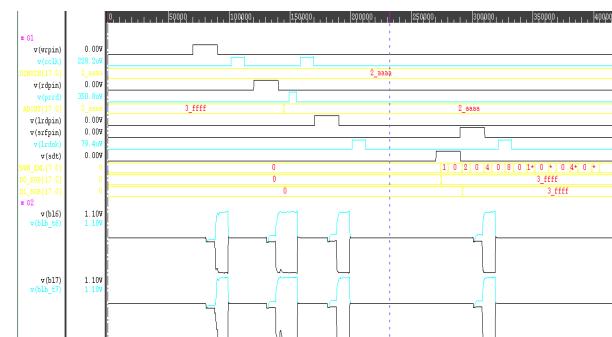


그림 4. 그레픽 메모리의 동작

## 참고문헌

- [1] 권오경, *DDI 설계, IT-SoC 사업단 동계 설계 특론*, 2005년 12월.
- [2] 이재은, “LCD Driver IC용 그레픽 메모리 설계”, 전자공학회 추계학술대회, 제30권 2호, 540-541쪽, 2007년 11월.