

# 디지털 PLL을 위한 높은 해상도를 갖는 시간-디지털 변환기의 연구

\*김용우, \*\*안태원, \*문용  
\*승실대학교 전자공학과  
\*\*동양공업전문대학 전기전자통신공학부  
e-mail : rafiuss@korea.com

## A Study on High Resolution Time to Digital Converter for All Digital PLL

\*Yongwoo Kim, \*\*Taewon Ahn, \*Yong Moon  
\*Electronic Engineering, Soongsil University  
\*\*Electrical Engineering, Dongyang Technical College

### Abstract

Digital PLL을 위한 높은 해상도를 갖는 TDC(Time to Digital Converter)를 0.18 $\mu$ m CMOS 공정으로 설계하였다. 2단 구조를 갖는 TDC를 제안하였고 이를 Cadence Spectre를 이용하여 검증하였다. TDC는 Difference pulse generator, coarse 변환기와 fine 변환기로 구성된다. 그리고, 2단 변환기와 Thermometer decoder를 이용하여 delay cell의 수를 적게 유지하면서도 높은 해상도를 얻을 수 있었다.

### I. 서론

CMOS 공정이 발전함에 따라서 소자의 크기가 작아지고 전원전압이 감소함에 따라서 저전력 저비용 통신 시스템의 수요가 계속 증가하고 있다. 소자 스케일링에 따라서 디지털블록은 크게 개선이 진행되고 있지만 아날로그 회로나 RF 회로는 그렇지 못한 것이 현실적이다. 이에 따라 아날로그 블록을 디지털블록으로 대체하려는 연구가 많이 진행되고 있다. 그 중에서 PLL에 기반을 둔 아날로그 주파수 합성기는 유무선 통신 시스템에 있어서 필수 블록이라고 할 수 있다. 최근에는 이러한 주파수 합성기를 디지털 블록으

로 구현하고자 하는 연구가 크게 증가하였고 이와 관련된 디지털 PLL에 대한 많은 연구가 발표되었다[1].

그러나, 디지털 PLL은 양자화에 의한 추가적인 노이즈가 발생하므로 고성능 시스템에서는 아직 문제가 되고 있으며, 이러한 문제를 해결하기 위해서는 높은 해상도를 가지는 TDC의 설계가 필수적이다. TDC의 성능을 개선하기 위해서는 지연블록의 수를 늘리거나, 버니어 지연을 이용하는 방법[2] 등이 연구 되었으나 여전히 많은 수의 디지털 변환 스테이지가 필요하다.

이에 본 연구에서는 시간의 디지털 변환을 coarse 변환단과 fine 변환단으로 구분하여 해상도를 크게 개선할 수 있는 TDC를 제안하고 이를 모의실험을 통해서 검증하였다.

### II. 본론

#### 2.1 기존의 TDC

기존의 TDC는 그림 1에서처럼 DCO(Digitally controlled Oscillator)의 출력을 지연셀을 통하여 지연시킨 후 그 위치를 파악하는 Flip-Flop을 이용하여 디지털로 변환하는 방법이 사용되었다[1]. 그리고 최근에는 버니어 지연을 이용하여 신호와 클럭을 다른 지연시간을 가지는 지연셀을 지나도록 한 후에 서로 일치하는 부분을 찾아내는 방식을 사용하는 연구도 발표되었다[2].

그러나, 두 가지 방법 모두 많은 수의 지연셀이 필요하므로

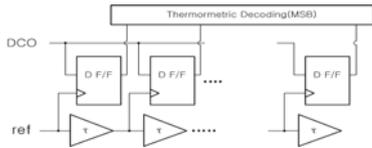


그림 1. 기존의 TDC 회로

그 복잡도가 크다고 하겠다.

이에 본 연구에서는 coarse 변환단에서 1차 시간을 알아내어 MSB를 결정하고, fine 변환단에서 신호의 차이만을 이용하여 세밀한 지연시간을 검출하여 LSB를 결정하는 구조를 제안하고자 한다.

### 2.2 제안하는 TDC

본 연구에서 제안하는 TDC의 구조는 아래와 같다.

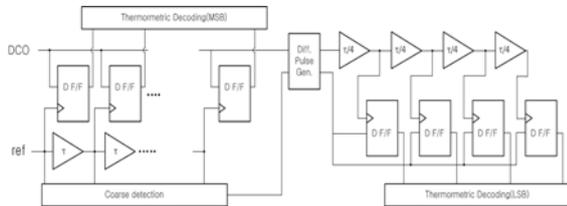


그림. 2 Difference pulse generator를 이용한 TDC 회로

즉, coarse 변환기에서 MSB 값을 생성하고, 실제값과 MSB 값에 의한 양자화 에러를 Difference pulse generator에서 신호를 생성한 후에, 이를 fine 변환기에서 LSB 신호를 만들어 내는 구조이다.

이를 위해서 coarse detection 회로에서 검출된 신호와 DCO 신호를 이용하여 fine 변환기를 위한 신호를 만들어내며, fine 변환기에서는 coarse 변환기 지연셀의 1/4, 1/8, ... 등과 같은 크기를 갖는 지연셀을 이용하여 LSB를 생성한다. Fine 변환기는 coarse 변환기의 1개의 지연시간에 해당하는 지연셀 어레이를 가지면 되므로 회로는 간단해지면서 높은 해상도를 출력하는 구조이다.

아래 그림 3은 두 신호의 차이를 생성하는 Difference pulse generator이다.

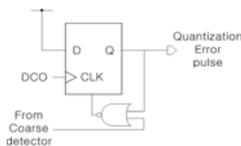


그림 3. Difference pulse generator

### III. 모의실험

아래 그림 4는 coarse 변환기의 모의실험 결과이다.

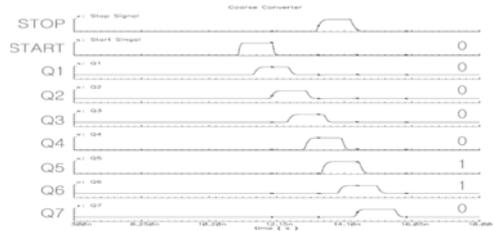


그림 4. Coarse 변환기

위에서 살펴보면 8개의 출력 중 2개의 신호가 '1'이 되며 '1'이 되는 신호를 OR-gate를 통과시켜 DCO 신호와 차이를 생성한 후 fine 변환기로 보낸다. 그림 5는 Difference pulse generator에서 만들어진 양자화 에러 신호와 fine 변환기에서 검출된 신호이다. Fine 변환기에서는 유사한 방법으로 디지털 신호로 변환된다.

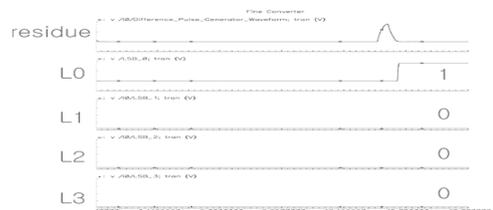


그림 5. Fine 변환기

### IV. 결론 및 향후 연구 방향

TDC의 해상도를 증가시키기 위해서 2단계를 거쳐 디지털 변환을 하는 회로를 제안하였고 이를 Spectre를 통하여 검증하였다. 모의실험 결과 약간의 하드웨어 추가로 높은 해상도를 얻을 수 있었다. 본 연구를 통해 고성능 디지털 주파수 합성기의 구현이 용이해지고 여러 주파수 합성기에 사용이 가능할 것으로 여겨진다.

감사의 글

본 연구는 IT SoC 핵심설계인력양성사업의 연구결과이고, CAD Tool은 IDEC의 지원을 받았습니다.

### 참고문헌

[1] Colin Weltin-Wu et al, "A 3GHz Fractional-N All-Digital PLL with Precise Time-to-Digital Converter Calibration and Mismatch Correction" IEEE, Solid-State Circuits, pp. 344-345, Feb 2008  
 [2] R. Tonietto et al, "A 3MHz Bandwidth Low Noise RF All Digital PLL with 12ps Resolution Time to Digital Converter" ESSCIRC 2006, Solid-State Circuits, pp. 150-153