

저전압 저전력 혼성신호 시스템 설계를 위한 800mV 기준전류원 회로의 설계

*권오준, 우선보, 김경록, 광계달

한양대학교 전자전기컴퓨터공학부 반도체연구실

semi@hanyang.ac.kr, woosonbo@hanmail.net sigkkkr@nate.com kwack@hanynag.ac.kr

A Novel 800mV Beta-Multiplier Reference Current Source Circuit for Low-Power Low-Voltage Mixed-Mode Systems.

*Oh-Jun Kwon, Son-Bo Woo, Kyeong-Rok Kim, Kae-Dal Kwack
Semiconductor Lab, Div. of Electronics & Computer Engineering,
Hanyang University, Seoul, 133-791, Korea.

Abstract

In this paper, a novel beta-multiplier reference current source circuit for the 800mV power-supply voltage is presented. In order to cope with the narrow input common-mode range of the OpAmp in the reference circuit, shunt resistive voltage divider branches were deployed. High gain OpAmp was designed to compensate intrinsic low output resistance of the MOS transistors. The proposed reference circuit was designed in a standard 0.18um CMOS process with nominal V_{th} of 420mV and -450mV for nMOS and pMOS transistor respectively. The total power consumption including OpAmp is less than 50uW.

I. 서론

혼성신호 집적 시스템에 사용되는 아날로그 신호처리 블록들은 외부의 전압변화와 잡음 등에 영향을 받지 않는 안정된 기준전압/전류원을 필요로 하고 있다. 안정한 동작특성을 가지는 기준전압/전류원은 아날로그-디지털 변환기, 디지털-아날로그 변환기의 동작특성에 직접적으로 영향을 미치는 중요한 구성회로이다. 밴드갭 기준전압원의 경우, 우수한 온도특성을 가지고 있으나, lateral BJT의 에미터-베이스 사이에 필요한 정방향 전압이 높기 때문에 저전압 설계환경에는 부적

합하다. 이러한 문제를 해결하기 위해서, 본 논문에서는 낮은 문턱전압 특성을 보이는 MOS 트랜지스터를 이용해서 저전압 저전력 혼성신호 시스템 환경에 적합한 기준전류원 회로를 제안한다.

II. 본론

2.1 제안하는 기준전류원 회로의 구조.

그림 1은 제안하는 기준전류원 회로의 회로도이다. MOS 트랜지스터 M01과 M02는 일정한 정수비를 가지고 정합되어 있으며 동일한 전류가 흐르게 바이어스한다. 서로 다른 (채널 넓이/길이)를 가지는 MOS 트랜지스터들을 동일한 전류로 바이어스하기 위해서 저항 R03이 M02의 소스 노드에 직렬로 연결된다. OpAmp에 의해서 바이어스 되는 M03과 M04는 동일한 채널 넓이/길이 비로 정합되며 따라서 같은 양의 전류가 흐른다. R01, R11과 R02, R12는 전원공급전압 VDD와 M01, M02들의 게이트-소스 전압을 감지하기 위한 전압분배기 역할 [1]을 수행한다. 전압분배 저항을 사용하지 않으면, 연산증폭기의 입력 동상전압을 설계자가 임의로 설계하기 어려울 뿐만 아니라 연산증폭기의 입력단 회로구조에 심한 제약이 가해진다. 결국 위 회로는 전압분배 저항들과 M01과 M02에 흐르는 전류를 정의함으로써 V01과 V02 전압 값을 설계자의 임의대로 조절할 수 있는 장점을 가진다. 전압 V_a 와 V_b 는 이렇게 전압분배 저항들을 통해서 DC 전압 이동되며 이동된 전압들이 V01과 V02에 나타나게 된다. V01과 V02는 연산증폭기를 통해서 부귀환 작용을 하게 되며, 그 결과 V_a 와 V_b 는 동일한 전압 특성을

보여준다.

최종적으로 연산증폭기 출력노드에서 얻어지는 전압, VBeta_N에 게이트 전압을 연결함으로써 (채널 넓이/길이)를 조절해서 원하는 전류를 쉽게 바이어스 할 수 있다. pMOS 트랜지스터의 바이어스의 경우, M06, M07 그리고 M08로 구성된 저전압 전류거울을 통해서 원하는 전압 VBeta_P를 얻을 수 있다.

2.2 start-up 회로의 설계

그림 1의 회로는 원치 않는 동작점 상태를 예방하기 위해서는 start-up 회로가 필요하다. 즉, M01과 M02에 흐르는 전류가 zero일 경우에도 Va와 Vb는 동일하기 때문에 그림 1의 회로는 안정한 동작에 들어가지만 기준전류원으로는 작용할 수가 없다.

그림 2는 start-up 회로의 동작 원리를 나타낸 것이다. M01과 M02에 전류가 흐르지 않을 경우에는 Va가 VDD에 근접해 있기 때문에 Msu01의 게이트-소스에 높은 전압이 걸리게 되며 그 결과 Msu05를 도통시키게 된다. 도통된 Msu05는 전압분배 저항 R01과 R11을 통해서 전류를 흐르게 함과 동시에 Va 전압을 VDD에서 끌어내리는 역할을 수행한다. 최종적으로 Va가 적합한 동작점에 도달할 경우, Msu05의 게이트 전압은 VSS 부근에 위치해서 더 이상 추가적인 전류가 흐르지 않고 회로는 정상상태로 동작하게 된다.

III. 모의실험 결과

1-poly 6-metal 0.18um 공정을 사용해서 제안된 기준전류원 회로를 설계하고 모의실험을 수행하였다. nMOS와 pMOS의 문턱전압은 각각 420mV 450mV이며 전원공급전압은 800mV이다. 정상상태에서 전체 회로는 50uW 이하의 전력소모 특성을 보인다.

그림 3은 제안된 기준전류원 회로의 FF, NN, SS 세 가지 corner 온도-전류특성의 모의실험 결과이다.

그림 4는 과도상태 특성을 모의실험한 결과이다. VDD 전압을 0V에서 800mV로 올린 다음, 안정화 상태에 들어간 회로의 전원전압에 100mV 크기의 순간적인 구형파를 인가했을 때의 모의실험 결과이다. 외부 노이즈 전압이 인가되더라도 과도 상태를 거쳐서 다시 안정화 되는 것을 확인할 수 있다.

IV. 결론 및 향후 연구 방향

저전압 저전력 혼성신호 시스템 구현에 요구되는 저전압 기준전류원 회로를 설계하였다. 전압분배 저항을 통해 연산증폭기 설계를 용이해졌으며 높은 전압이득의 연산증폭기를 써서 낮은 출력저항 특성을 개선하였다.

참고문헌

[1] H. Bamba et al, IEEE JSSC, vol. 34, pp.670-674, 1999.

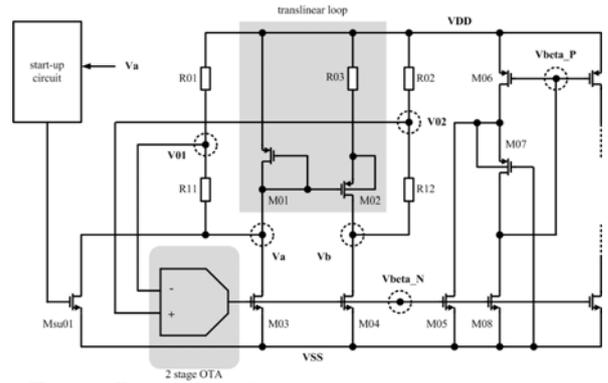


Fig. 1. Proposed reference current source circuit.

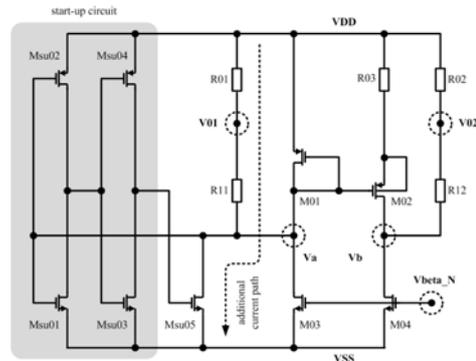


Fig. 2. Operation of the start-up circuit.

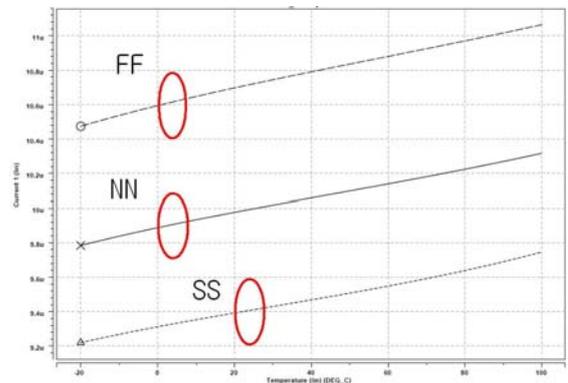


Fig 3. Temperature performance from -20 to 100°C.

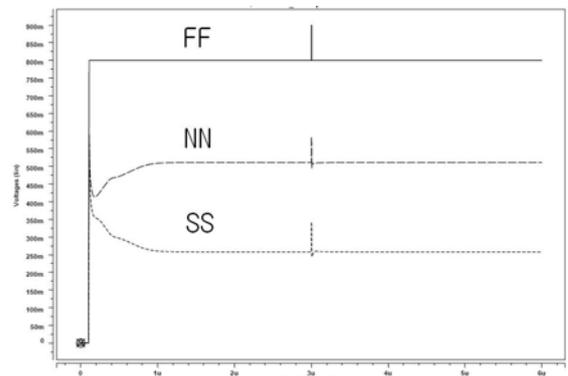


Fig 4. Transient response of the proposed circuit.