

# 고 성능 저 전력 SoC를 위한 Dual-Precharge Conditional-Discharge Flip-Flop

박윤석, 강성찬, 공배선  
성균관대학교 정보통신공학부  
E-mail: dalbong201@skku.edu

## Dual-Precharge Conditional-Discharge Flip-Flop for High-Speed Low-Power SoC

Yoon-Suk Park, Sung-Chan Kang, and Bai-Sun Kong  
School of Information and Communication Engineering, Sungkyunkwan University

### Abstract

This paper presents a low-power and high-speed pulsed flip-flop based on dual-precharging and conditional discharging. The dual-precharging operation minimizes the parasitic capacitance of each precharge node, resulting in high-speed operation. The conditional-discharging operation minimizes the redundant transitions of precharge nodes, resulting in low-power operation. Linear feedback shift register (LFSR) designed in a  $0.18\mu\text{m}$  CMOS technology using the proposed flip-flop achieves 32% power reduction as compared to conventional design.

### I. 서론

래치(latch)나 플립플롭(flip-flop)과 같은 데이터 저장 요소들은 system-on-chip(SoC)의 성능을 결정하는데 커다란 영향을 미칠 수 있으므로 매우 중요한 설계 요소로 알려져 있다. 플립플롭의 latency는 setup time( $t_s$ )과 클럭(clock)에서부터 출력까지의 지연시간( $t_{CQ}$ )의 합으로 표현되며, 이는 데이터(data)의 입력시점부터 출력의 변화까지의 지연시간( $t_{DQ}$ )과 동일하다. 한편, 소비전력은 클럭과 데이터의 전력 소모의 합으로 나타내어지는데, 이들은 각각 클럭 경로와 데이터 경로의 등가 캐패시턴스, 공급전압, 클럭 주파수, 그리고 입력 데이터의 switching activity에 의존한다.

그림 1은 기존의 고성능 플립플롭의 구조를 나타내고 있다. 그림 1-(a)에 나타난 hybrid latch flip-flop (HLFF)은 brief implicit pulse를 사용하여 데이터를 capture하므로 negative setup time을 제공하여 data-to-output latency를 최소화할 수 있는 장점을 가지고 있다 [1]. 하지만, HLFF는 출력 방전 경로가 stack 구조 및 precharge 단자의 큰 기생 캐패시턴스로 인하여 속도가 느린 단점을 가지며, precharge 단자의 redundant 전이로 인하여 전력 소모가 증가하는 것으로 알려져 있다. 그림 1-(b)에 나타난 cross charge-control flip-flop

(XCFF) [2]는 dynamic node X 및 XB가 출력 트랜지스터의 PMOS와 NMOS에 각각 연결되어 내부 캐패시턴스를 줄이는 역할을 하지만, positive setup time을 가지므로 동작속도가 느리고 short circuit current로 인한 전력 소모가 발생하는 단점이 있다. 본 논문에서는 위에서 언급한 기존 회로의 단점을 극복하기 위한 새로운 구조의 플립플롭을 제안하고자 한다.

### II. 본론

본 논문에서 제안된 플립플롭의 구조가 그림 2에 나타나 있다. Dual-precharge Conditional-discharge Flip-Flop (DCFF)으로 불리는 본 플립플롭은 dual-pulse generator를 동반하며, output transistor를 구동하기 위한 두 개의 dynamic node인 X와 XB를 기반으로 하는 pulsed latching stage로 구성되어 있다. DCFF의 동작을 살펴보면 다음과 같다. 먼저, CK가 high 일때, pulse generator에서 생성된 PSB와 PS는 각각 MP2과 MN2를 turn-on시켜 X를 supply voltage까지 charging시키고 XB를 ground로 discharging시킨다. CK가 low로 천이하면, pulse generator에 의하여 X 및 XB에 각각 짧은 high 및 low pulse가 생성되며, low 입력 data에 대하여 MN1과 MP1은 turn-on된다. 이 경우, QB의 이전 상태가 low였다면 MN4가 turn-on 되어, X가 low로 천이하여 MP3는 turn-on시켜 QB를 pull-up시키게 된다. 한편, QB의 이전 상태가 high였다면, MN4가 turn-off 되어 X를 low로 천이시키지 않게 되어 redundant 천이를 방지하게 된다. 제안된 플립플롭은, high 입력 data에 대하여도 유사한 동작을 보이지만, 이 경우는 redundant 천이를 없애지는 못한다.

DCFF의 기존의 고성능 플립플롭의 비해서 다음과 같은 장점을 나타낸다. 우선, DCFF는 두 개의 precharge node X, XB로 output driver를 구동하여 각 node의 parasitic capacitance를 줄여서 speed와 전력 소모를 모두 줄일 수 있다. 두 번째, DCFF는 pull-down 천이할 때, transistor stacking 없이 한 개의 NMOS transistor를 사용하여 추가적

인 speed를 향상시킬 수 있다. 그리고, explicit-pulsed operation을 통해서 여러 플립플롭들의 pulse generator들을 공유할 수 있다. 마지막으로, 앞서 설명한 바와 같이 conditional discharging을 통해서 node X의 redundant 전이를 차단하고 그로 인해서 전력 소모를 줄일 수 있다.

제안된 회로의 성능을 평가하기 위하여, 0.18 $\mu$ m CMOS 공정에서 상온 27°C, 공급전원 1.8V, 출력부하 50fF, switching activity 25%의 조건에서 HSPICE를 사용하여 제안된 플립플롭에 대한 시뮬레이션을 실행하였다. 표 1은 기존 및 제안된 플립플롭들의 중요한 특성에 대한 시뮬레이션 비교치를 나타내고 있다. DCFF는 최소의 D-Q delay를 가지고 있으며, PDP는 HLFF와 XCFF에 비해 각각 27%와 15%이상의 향상된 성능을 나타낸다. Input switching activity에 따른 전력 소모량이 그림 3에 나타나 있는데, 그림에서 보는 바와 같이 DCFF는 기존의 플립플롭과 비교하여 최대 56%의 전력 소모를 절감할 수 있음을 알 수 있다. 제안된 기술을 실제 회로에 적용하기 위하여, 제안된 플립플롭을 채용한 linear feedback shift register(LFSR)를 설계하였으며, 설계된 16-bit LFSR은 그림 4에 나타나 있다. 이에 대한 성능 비교 결과가 표 2에 나타나 있는데, 기존 플립플롭을 사용한 LFSR 대비 약 32%의 PDP 성능 향상을 가져왔음을 알 수 있었다.

### III. 결론

본 논문에서는 고성능 저 전력 SoC에 적합한 dual-pre-charge conditional-discharge flip-flop(DCFF)을 제안하였다. DCFF는 precharge node의 parasitic capacitance를 줄여 고속 특성을 보이며, conditional discharging 동작에 의하여 저 전력 특성을 보인다. 0.18 $\mu$ m CMOS 공정기술을 이용한 시뮬레이션 결과, 제안된 DCFF는 기존의 플립플롭들과 비교하여 고 성능 저 전력 특성을 보임을 알 수 있었다.

### 참고문헌

- [1] H. Partovi, et al., "Flow-through latch and edge-triggered flip-flop hybrid elements," IEEE ISSCC, Dig. Tech. Papers, pp. 138-139, Feb. 1996.
- [2] Akio Hirata, et al., "The cross charge-control Flip-Flop: low power and high-speed Flip-Flop suitable for mobile Application SoCs," in IEEE Symp. on VLSI Circuits, pp. 306-307, June. 2005.

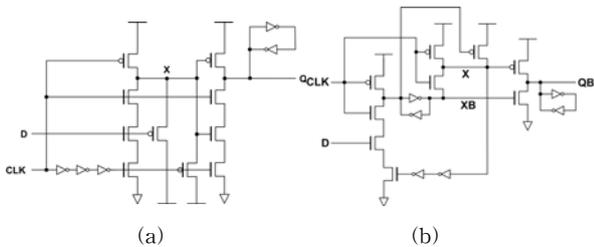


그림1. 기존의 고성능 플립플롭: (a) HLFF, (b) XCFF.

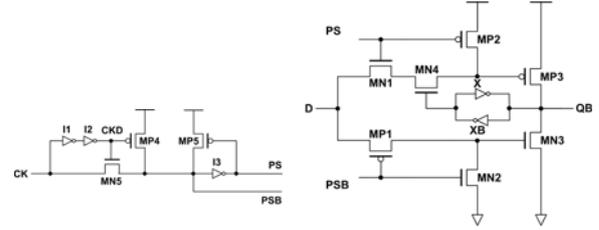


그림2. 제안된 dual-precharge conditional-discharge flip-flop (DCFF).

표1: Flip-Flop의 여러 특성 (공급전원: 1.8V; 온도: 27°C; 부하 캐패시턴스; 50fF; 클럭주파수; 100MHz)

Parameter	HLFF	XCFF	DCFF	DCFF sharing PG
Device count	20	21	20	14
Setup[ps]	-34.82	2.7	-84.9	-115.1
C-to-Q delay[ps]	128.9	103	187	219
D-to-Q delay[ps]	94.07	105.7	102	103.9
Power[ $\mu$ m]	28.5	21.6	19.2	12.4
PDP[fJ]	2.68	2.28	1.96	1.29
Ratio	1	0.85	0.73	0.48

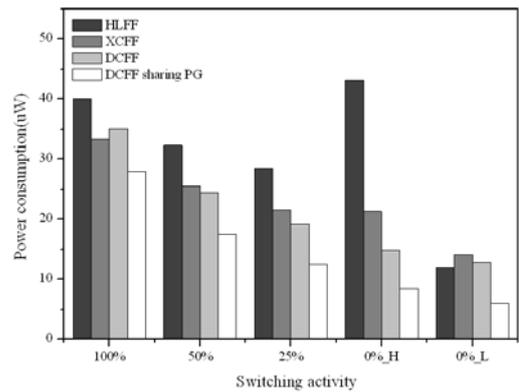


그림3. Switching-activity에 따른 전력 소모.

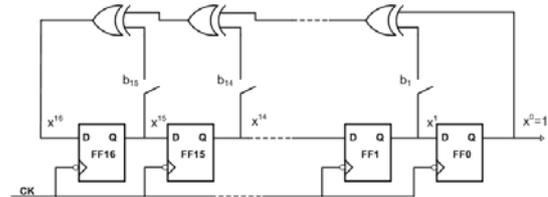


그림4. 제안된 플립플롭을 채용한 16-bit linear feedback shift register (LFSR) 회로.

표2: 고성능 Flip-Flop을 채용한 LFSR의 성능 비교(공급전원: 1.8V; 온도: 27°C; 부하 캐패시턴스; 50fF; 클럭주파수; 100MHz)

	Device count	Delay [ns]	Power [ $\mu$ W]	PDP [fJ]	Ratio
HLFF	588	1.23	410	504.3	1
XCFF	577	1.26	380	478.8	0.94
DCFF sharing PG	461	1.29	266	343.4	0.68