

# Bootstrapped CMOS Differential Logic 기술을 채용한 Near- $V_{TH}$ Supply에서 동작하는 64-Bit Adder 설계

\*오재혁, 정병화, 공배선  
성균관대학교 정보통신공학부  
e-mail: crowhyuki@skku.deu

## Near- $V_{TH}$ Supply 64-Bit Adder using Bootstrapped CMOS Differential Logic

\*Jae-Hyuk Oh, Byung-Hwa Jung, and Bai-Sun Kong

School of Information and Communication Engineering, Sungkyunkwan University

### Abstract

This paper describes novel bootstrapped CMOS differential logic family operating at near- $V_{th}$  supply voltage. The proposed logic family provides improved switching speed by utilizing voltage bootstrapping for the supply voltage approaching device thresholds. The circuit is configured as differential structure having single bootstrapping capacitor, minimizing area overhead and providing complete logic composition capability. A 64-bit adder designed using the proposed technique in a 0.18 $\mu$ m CMOS process provides up to 79% improvement in terms of power-delay product as compared to the conventional adder designed with DCVS.

### I. 서 론

휴대용 전자 기기들은 전력 사용량이 제한된 배터리를 이용하여 동작하기 때문에 전력을 효과적으로 이용하기 위해서 저전력 동작을 필요로 한다. 디지털 CMOS 회로의 전력 소비를 줄이기 위한 설계기법 중에서 가장 효과적인 방법은 공급 전압을 낮추는 방법이다. 그러나, 디지털 CMOS 회로는 공급 전압이 낮아짐에 따라 동작 속도가 급격히 감소하는 특성을 가지고 있다. 이러한 문제점을 해결하기 위하여 voltage bootstrapping 기법을 적용할 수 있는데, 이러한 기술을 적용하여 설계된 bootstrapped CMOS driver [1]와 CMOS bootstrapped dynamic logic (BDL) [2]은 저 전압 환경에서 개선된 성능을 보여준다. 하지만, bootstrapped CMOS driver는 driver 용도로만 사용될 수 있으며 logic gate로는 사용될 수 없다는 단점이 있으며, BDL은 single-ended 구조를 가지고 있어 Boolean logic function의 구현이 제한적이라는 단점을 가지고 있다. 본 논문에서는 이러한 문제점들을 해결할 수 있는 새로운 bootstrapped logic family를 제안하고 이를 채용한 64-bit adder를 설계하고자 한다.

### II. 제안된 기술

그림 1은 본 논문에서 제안된 bootstrapped CMOS differential logic을 보여주고 있다. 제안된 회로는 precharged differential logic, boosted output driver 및 boosted voltage

generator로 이루어져 있다. Precharged differential logic은 differential logic tree, precharge transistor MP3와 MP4, 그리고 bottom transistor MN3로 구성되어 있다. 한편, boosted output driver는 트랜지스터 MP1, MN1, MP2, MN2 등으로 구성되어 있으며, boosted voltage generator는 트랜지스터 MP5, MP6, MN4, MN5 및 boosting capacitance CB로 구성되어 있다.

제안된 회로는 clock 신호의 상태에 따라 precharge 구간과 bootstrap 구간으로 나뉘어 동작하게 된다. 즉, clock이 low일 때의 precharge 구간에서는 differential logic tree가 MN3에 의해서 disable되어 있고, NT는 low로 NP는 high로 되어 있어, 출력 Q와 Qb는 low 값을 갖게 된다. 한편, clock이 high일 때의 bootstrap 구간에서는 differential logic tree에 입력된 data의 상태에 따라 Ni와 Nib 중 하나의 단자가 discharge된다. 동시에, NT는 low에서 high로 천이하게 되고, boosting capacitance CB에 의해서, 즉 capacitance coupling 효과로 인해, NP는 공급 전압 보다 높은 전압을 갖게 되며, 이는 Q나 Qb로 출력된다. 이러한 capacitive voltage bootstrapping 동작에 의해 output driver의 pMOS 트랜지스터는 공급전압 보다 더 높은 전위를 갖게 되고, 이로 인하여 형성된 source와 gate 단자 사이의 높은 전위차는 해당 트랜지스터의 전류의 세기가 증가시켜 회로의 speed 성능을 향상시키게 된다. 또한, 첫 번째 단의 높은 출력 전압이 다음 단 회로의 입력에도 인가되어, 그 곳에 연결된 differential logic 블록의 switching speed 저하의 문제도 함께 해결할 수 있다.

### III. 비교 및 고찰

제안된 기술과 기존의 기술의 성능을 비교하기 위하여 0.18 $\mu$ m CMOS 공정을 이용하여 full adder 및 64-bit adder를 설계하였으며, 다양한 공급전압 및 load capacitance에 대한 시뮬레이션을 실행하였다. 그림 2는 설계된 full adder의 schematic diagram을 나타내고 있으며, 이는 sum block과 carry block으로 이루어져 있고 각각은 boosted voltage generator를 공유하도록 설계되어 있다. 그림 3-(a)는 전원 전압을 0.4 V에서 0.7 V까지 변화시켰을 때 full adder의 power-delay product (PDP) 특성의 변화 추이를 보여주고 있다. 그림에서 보는 바와 같이, 전원 전압이 낮아질수록 PDP

성능 차이가 더욱 극명하게 나타나는 것을 알 수 있으며, 전원 전압 0.5 V에서 약 78%의 성능 향상을 보여 주고 있다. 한편, 그림 3-(b)는 full adder의 load capacitance를 20 fF에서 90 fF까지 변화시킬 때 이에 따른 동작 속도 변화 추이에 대한 비교 그래프이다. 그림에서 보는 바와 같이, 모든 load capacitance 값이 대하여 제안된 기술이 기존의 기술보다 약 43%~52% 정도의 향상된 동작 속도를 가짐을 알 수 있다. 제안된 회로 기술을 보다 복잡한 회로에 적용해 보고자 64-bit adder를 설계하였으며, 그림 4는 제안된 기술을 이용하여 설계한 64-bit adder의 schematic diagram을 보여주고 있다. 성능 비교를 위하여 기존의 DCVS logic을 이용한 64-bit adder도 함께 설계하였다. 제안된 기법을 사용한 64-bit adder는 8-bit adder 8 개로 구성되어 있으며 high speed 동작을 위해 carry selection scheme을 사용하였다. 또한, 각 carry chain 단의 boosting 동작을 위해 ripple carry chain을 사용하였다. 한편, DCVS를 이용한 adder는 carry propagation의 speed 향상을 위해 Manchester-type carry chain을 사용하였다. Table I은 설계된 64-bit adder의 성능을 비교한 결과를 보여 주고 있는데, 제안된 기술을 적용한 회로가 기존의 기술을 적용한 회로보다 PDP측면에서 최대 79%의 성능 향상을 가져오는 것을 알 수 있다.

IV. 결론

본 논문에서는 저 전력 동작을 위해서 공급전압을 트랜지스터의  $V_{TH}$ 까지 낮춰도 그에 따른 성능저하를 최소화 시킬 수 있는 bootstrapped CMOS differential circuit을 소개하였다. 0.18um CMOS process를 이용한 성능 비교 결과, 제안된 기법은 저 전압에서 기존의 DCVS 기술보다 향상된 성능을 제공하는 것을 확인하였다.

Acknowledgement

Design tools were provided by IC Design Education Center (IDECE), KAIST

참고문헌

[1] J. H. Lou, et al, "A 1.5V full-swing bootstrapped CMOS large capacitive-load driver circuit suitable for low-voltage CMOS VLSI," IEEE JSSC, vol. 32, no. 1, pp. 119-121, Jan. 1997.  
 [2] J. H. Lou, et al, "A 1.5-V CMOS all-N-logic true-single-phase bootstrapped dynamic-logic circuit suitable for low supply voltage and high-speed pipelined system operation," IEEE TCAS-II, vol. 46, no. 5, pp. 628-631, May 1999.  
 [3] L. G. Heller, et al., "Cascode voltage switch logic: a differential CMOS logic family," in ISSCC, pp.16-17, Feb. 1984.

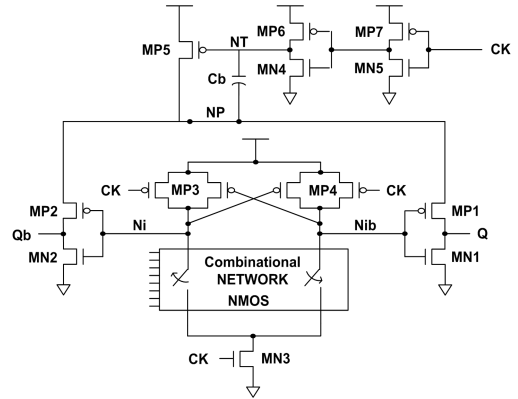


그림 1. Proposed bootstrapped CMOS differential logic

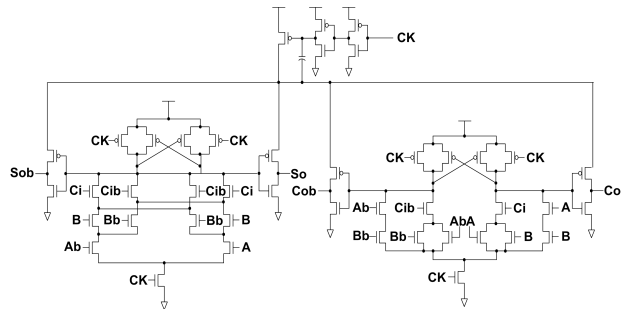


그림 2. Schematic diagram of full adder

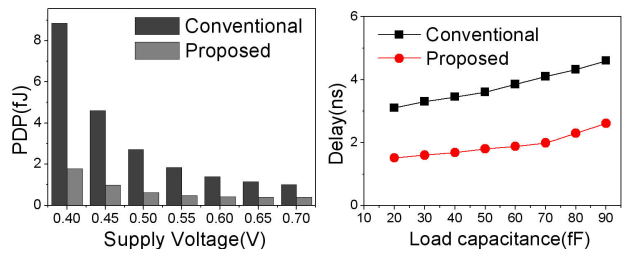


그림 3. Performance comparison: (a) PDP versus load capacitance, (b) delay versus load capacitance

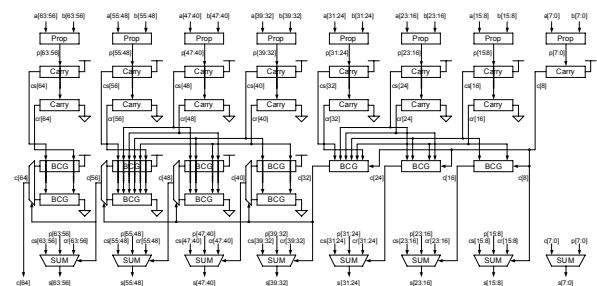


그림 4. Schematic diagram of 64-bit adder

Table I. Adder performance comparison (supply voltage: 0.5V, temperature: 27°Ccapacitive load: 20fF)

	Device count	Latency (ns)	Power (uW)	PDP(pJ)	Ratio
Conv.	5781	78	130.4	10.17	1
Prop.	7536	17.18	125.8	2.16	0.21