

버스 아키텍처 성능 향상을 위한 중재 장치

이근환, 이국표, 윤영섭
인하대학교 전자공학과

e-mail : *lkkhhj@nate.com, kplee@yjc.ac.kr, ysyoon@inha.ac.kr*

*강성준

전남대학교 전기 및 반도체공학과

e-mail : *ferroksj@chonnam.ac.kr*

The arbiter for performance improvement of bus architecture

Keun-Hwan Lee, Kook-Pyo Lee, Yung-Sup Yoon

Dept. of Electronic Engineering

Inha University

*Seong-Jun Kang

Dept. of Electrical and Semiconductor Engineering,

Chonnam National University

Abstract

This paper proposed a new arbitration method in arbiter which is one of bus system components for the design of SoC. Considering compatibility between IP and bus system, the performance of bus system can change the performance of SoC chip. The proposed arbitration method achieved the performance improvement with high efficiency depending on the environment in use.

I. 서론

매년 SoC 기술의 복잡도와 제조기술은 빠르게 향상되고 있으나 설계자들의 설계생산성의 증가는 이를 따르지 못하여 설계생산성 향상 문제가 심각해지고 있다. 더불어 소비자들은 더욱 더 좋은 성능을 가진 제품을 원하고 있다[1][2]. 이에 IP 자체의 성능뿐만 아니라 버스 시스템과 IP 간의 호환성을 고려할 때, 버스 시스템 자체의 성능이 설계하는 SoC의 성능을 좌우하는 요소로 부각되고 있다. 동시에 여러 마스터들이 버스 사용을 요청할 때, 아비터는 우선순위를 결정하기

때문에 칩의 성능에 결정적인 영향을 미친다[3].

본 논문에서는 버스 시스템 자체의 성능을 향상시키기 위해 새로운 중재 방식을 제안하고, 설계된 중재 장치를 다양한 경우를 들어 성능을 검증하였다[5].

II. 본론

그림1에는 fixed priority 방식으로 우선순위에 따른 버스 점유율에 대해 나타나 있다[4]. 각 숫자는 우선순위를 의미하며, 숫자가 낮을수록 우선순위가 높다. 각 마스터들의 버스 점유율이 우선순위가 높은 마스터의 점유율이 높게 나타나며, 우선순위가 낮은 마스터 4의 버스 점유율이 거의 0%에 가깝다는 것을 알 수 있다. 결국 낮은 우선순위 마스터의 버스점유가 힘들어 starvation현상이 발생할 수 있다.

그림 2는 TDM(Time Division Multiplexed) 중재방식을 보여주고 있다. 현재 slot은 M1으로 되어있다. TDM 중재방식의 경우, 시간에 따라 버스 점유권을 주기 때문에 버스를 이용할 수 있는 권리가 골고루 분배되는 장점을 가지고 있다. 그림 3은 TDM 중재방식의 대기시간을 보여주고 있다. “reservation”은 현재 예약된 slot을 의미하고, 마스터1, 마스터2, 마스터3의 버스요청시 버스를 차지하기 위해 세 개의 마스터가 경쟁하고 있다. 그러나 그림3에서 보듯이 Slot의 위치에

따라서 대기시간이 지나치게 길어지는 단점이 있다.

그림 4는 본 논문에서 제안한 WTC(Wait Time Consideration) 중재 방식을 보여주고 있다. 마스터에 의해 요청된 버스 요청신호가 아비터로 전해지면, 아비터는 카운터에 의해 이 마스터의 대기시간을 계산하게 된다. 이 때, 최대 대기시간 (Max wait Time)을 초과하게 되면 해당 마스터에게 최우선적으로 버스 점유권을 주게 되는 방식이다. 기본 중재는 fixed priority 방식을 사용하므로 우선순위가 높은 마스터는 짧은 대기시간으로 버스점유권을 받을 수 있으며, 우선순위가 낮은 마스터도 최대 대기시간 전에 버스점유권을 받게 됨으로 starvation현상을 막을 수 있다.

III. 결론 및 향후 연구방향

그림5와 그림6에는 버스 중재방식에 따른 bandwidth와 최대 대기시간이 나타나 있다. WTC 중재방식은 우선순위에 따라 골고루 버스중재가 배분되고 있으며, 최대 대기시간도 다른 중재방식보다 짧아서 버스중재로 효율적임을 알 수 있다. 향후 버스 성능검증 시뮬레이터를 개발하고, 버스중재에 따른 성능을 정량적으로 분석할 계획이다.

참고문헌

- [1] Semiconductor Industry Association, "National Technology Roadmap for Semiconductor", 2002.
- [2] Gunar Schirmer, Rainer D'omer, "System Level Modeling of an AMBA Bus", technical Report, 2005.
- [3] A. Gerstlauer, D. Shin, R. Doemer, D. Gajski. "System-Level Communication Modeling for Network-on-Chip Synthesis," In Asia and South Pacific Design Automation Conference, Shanghai, China, January 2005.
- [4] K. Lahiri, A. Raghunathan, G. Lakshminarayana. "The Lotterybus on-chip communication architecture," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., Vol. 14, no. 6, pp. 596-608, Jun. 2006.
- [5] AMBA TM Specification(AHB) (Rev 2.0), ARM Ltd, May 1999.

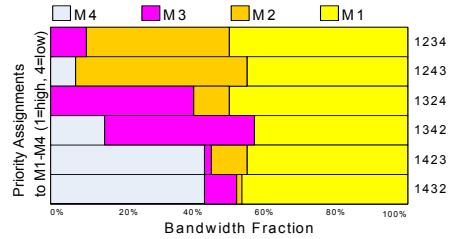


그림 1. Fixed Priority에서의 각 마스터들의 버스 점유율

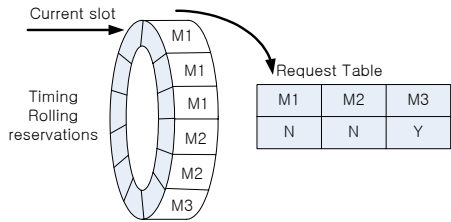


그림 2. TDM 중재 방식

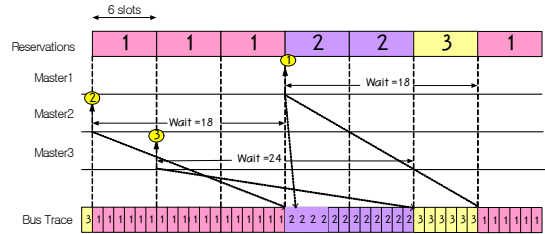


그림 3. TDM 중재 방식의 대기시간

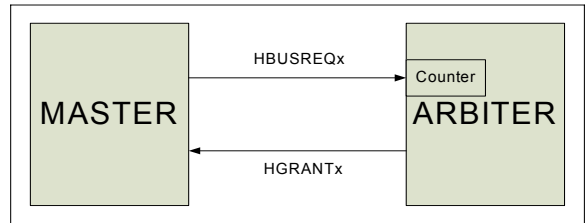


그림 4. WTC 중재 방식

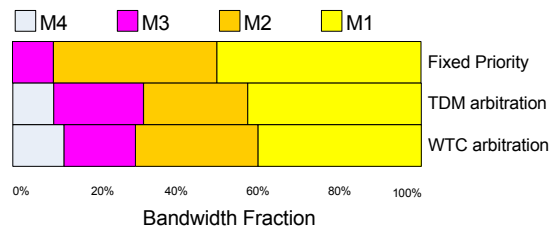


그림 5. 중재방식에 따른 bandwidth 비교

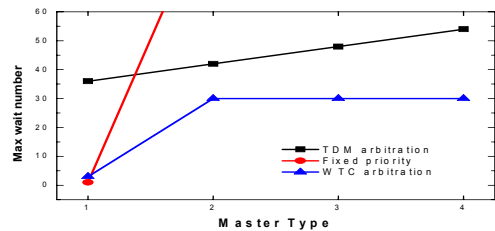


그림 6. 중재방식에 따른 최대 대기시간 비교