

# 모바일 기기를 위한 ESD 보호 소자 내장형 고효율 DC-DC 컨버터 설계

\*하가산, 손정만, 신사무엘, 원종일, 박재창, 구용서  
서경대학교 전자공학과  
e-mail : [mthaka@skuniv.ac.kr](mailto:mthaka@skuniv.ac.kr)

The design of high efficiency DC-DC Converter  
with ESD protection device for Mobile application

\*Ka-San Ha, Jung-Man Son, Samuell Shin, Jong-Il Won,  
Jae-Chang Kwak, Yong-Seo Koo  
Department of Electornic Engineering, Seokyeong University

## Abstract

The high efficiency power management IC(PMIC) for Mobile application is proposed in this paper. PMIC is controlled with PWM control method in order to have high power efficiency at high current level. The saw-tooth generator is made to have 1.2 MHz oscillation frequency and full range of output swing from ground to supply voltage(VDD:3.3V). The comparator is designed with two stage OP amplifier. And the error amplifier has 70dB DC gain and 64° phase margin. DC-DC converter, based on Voltage-mode PWM control circuits, achieved the high efficiency near 95% at 100mA output current. DC-DC converter is designed with LDO in stand-by mode which fewer than 1mA for high efficiency.

## I. 서론

최근 소형, 경량화 및 장시간 사용을 요하는 모바일 기기 추세에 맞춰서 저 면적, 고 효율 전원장치의 필요성이 극대화 되고 있다.

이러한 이유로 기존의 Linear 방식의 전원장치가 아닌 SMPS (Switched Mode Power Supply) 방식의 전원장치가 사용되고 있으며, 이 기술을 적용한 PWM(Pulse Width Modulation) Control 방식의 DC-DC Converter 가 전원장치의 핵심부품으로 사용 되고 있다.[1]

따라서 본 논문에서는 휴대폰, PDA, MP3 Player 등의 모바일 기기에서 전원장치로 사용되는 step-down DC-DC

Converter를 설계하였으며, LDO를 사용하여 저 전류에서도 높은 효율을 구현하였다.

## II. 본론

### 1. DC-DC Converter 설계

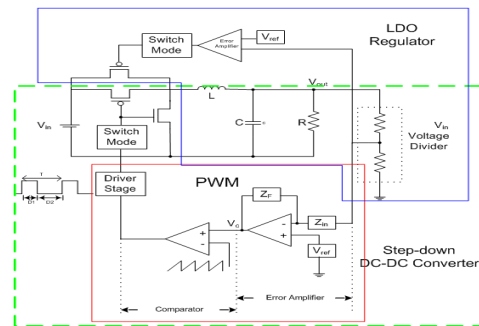


그림 1. DC-DC Converter 전체 블록도

그림 1은 PWM 제어 회로를 포함하는 DC-DC Converter의 전체 블록도를 나타낸다. PWM 제어 회로는 출력 전압과 기준 전압 V<sub>ref</sub>를 비교하여 증폭 후, 비교기(comparator)에서 톱니파(saw tooth wave)와 비교되어 구형파 펄스를 생성하여 DC-DC Converter의 스위치를 구동시켜 출력 전압을 안정시킨다.

그림 1과 같이 Step-down DC-DC converter 를 설계하였다. Buck converter의 입력전압은 3.3V 출력전압은 2.5V 최대 출력 전류 100mA, 스위칭 주파수 1.2MHz, 인덕터와 캐패시터의 ESR(Equivalent Series Resistance)를 100mΩ으로 시뮬레이션 했을 시 최대 95%의 효율을 가지고, 리플전압은 12mV를 가진다.

그림 2는 DC-DC converter의 인덕터 전류, 인덕터 전압, 출력 전압을 차례대로 나타낸다.

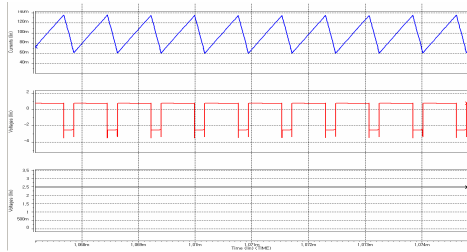


그림 2. DC-DC Converter의 시뮬레이션 결과

2. LDO regulator MODE 설계

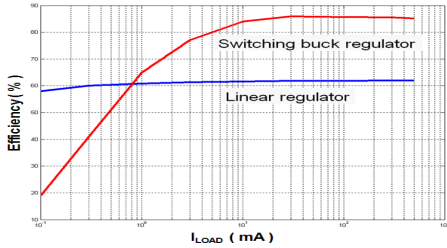


그림 3. LDO와 SMPS의 효율 비교

그림 3을 보는 것과 같이 PWM 방식의 SMPS는 높은 출력전류에서 높은 전력변환 효율을 갖지만 출력전류가 낮아지면 효율이 급격히 떨어진다. 오늘날 휴대용 기기들은 대기모드에서 매우 적은 전류를 소모하므로, 본 논문에서는 로드 변화에 따라 효율이 크게 변하지 않고, 일정한 효율이 보장되는 LDO(Low Drop Out) regulator를 이용하여 전원을 공급하였다.

그림 1의 LDO Regulator 부분을 보면, 오차 증폭기만 하나 추가하여 Buck 컨버터에서 추가되는 외부 소자 없이 LDO 동작을 구현하였다.

1mA의 로드전류 조건에서 Buck converter는 약 28%의 효율을 갖지만, 본 논문에서 설계한 LDO는 약60%의 효율을 가짐으로써, 단말기가 대기모드에서도 일정 이상의 효율을 유지하도록 하였다.

3. Under PAD ESD 설계

본 논문에서는 새로운 구조의 ESD 보호회로를 이용하여 ESD 현상에 의한 소자 파괴를 방지하고 회로의 신뢰성을 높였다. 제안한 LILVTSCR(Latch-up immune Low Voltage Triggered SCR)구조는 LVTSCR(Low Voltage Triggered SCR)구조를 개선시킨 것으로서 ESD 전류는 기존과 같은 동작으로 방전시키고, 정상 상태 일 때 PMOS는 RC network에 의해 동작하지 않고 고주파 노이즈나 overshooting에 의한 펄스 유입 시 PMOS가 동작하여 노이즈 전류를 접지(Cathode) 단자로 효과적으로 방전시켜 래치업(Latch-up)에 대하여 강한 면역성을 갖도록 하였다.

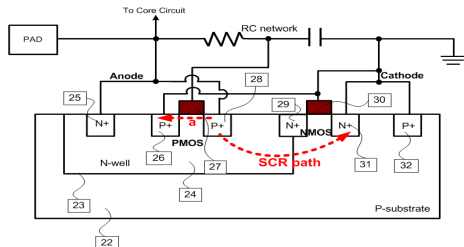
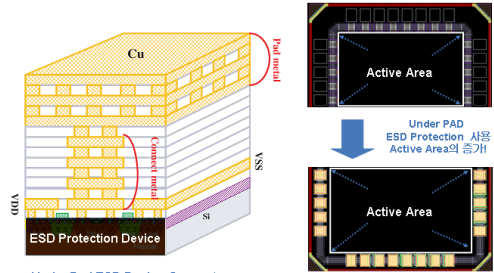


그림 4. LILVTSCR의 단면도 및 전류 경로

일반적으로 ESD 보호회로는 본딩 패드(Bonding PAD)와 가장 인접한 곳에 위치시켜 내부 회로의 ESD 방전전류의 유입을 막는다. 하지만 ESD 보호회로가 큰 ESD 방전 전류를 감내하기 위하여 상대적으로 큰 Layout 면적이 필요하다.

본 논문에서는 이러한 문제를 해결하고자 ESD 보호회로를 본딩 패드 하부에 배치시킨 Under PAD 설계를 적용하여 20%의 Layout 면적 증가를 가져왔다.



<< Under Pad ESD Design Concept >>

그림 5. Under PAD 설계 개념과 Active 면적 비교

4. Layout

그림 6는 DC-DC 컨버터의 Layout으로서, ESD 소자까지 내장하여 저면적 고효율의 전원장치를 실현함과 동시에 외부 ESD로부터 PMIC를 보호 할 수 있게 하였다.

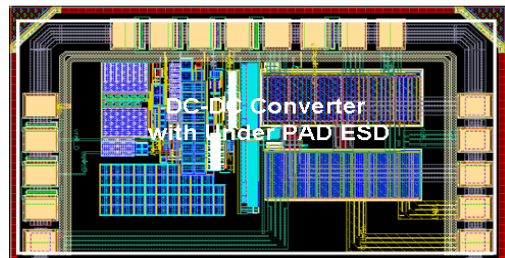


그림 6. DC-DC Converter Layout

III. 결론

본 논문에서 제안한 DC-DC Converter는 입력 전압 3.3V, 출력 전압 2.5V, 출력 전류 100mA, 인덕터와 캐패시터의 ESR(Equivalent Series Resistance)를 100mΩ으로 시뮬레이션 했을 시 최대 95%의 효율 이 나왔다. 또한 1.2MHz의 높은 스위칭 주파수를 사용하여 DC-DC converter에서 가장 큰 면적을 차지하는 인덕터의 크기를 줄일 수 있게 하였으며, LDO regulator를 사용하여 출력전류 1mA 이하의 대기모드에서도 60% 이상의 효율을 보장하였다.

마지막으로 TSMC 130nm 공정을 사용하여 DC-DC converter를 설계하고 Layout 하였다.

참고문헌

- [1] 김희준, "스위치 모드 파워 서플라이" 성인당, 3p-61p
- [2] Baker, "CMOS Circuit Design and layout", Wiley, 900p
- [3] K. Mark Smith, Jr., "A Comparison of Voltage-Mode Soft-Switching Methods for PWM Converters" IEEETrans-Power Electronic, Vol. 12, No. 2 (1997)
- [4] 육승범, 이재현, 구용서, "저 전압 트리거형 ESD 보호회로를 탑재한 저 전압 DC-DC Converter 설계", 전기전자학회 논문지, Vol.10, No2, 53p-59p

Acknowledgement

본 논문은 2008년도 「서울시 산학연 협력사업」의 「나노 IP/SoC 설계기술 혁신 사업단」의 지원으로 이루어졌습니다.