SoP-L 공정을 이용한 DPDT 스위치를 임베딩 할 경우 스위치 특성에 영향을 주는 Via의 loss 분석

*문종원, 권은진, 류종인, 박세훈, 김준철
*전자소재패키징연구센터 전자부품연구원
e-mail : mundols2@nate.com

Analysis of Via Loss Characteristic in Embedded DPDT Switch Using SoP-L Fabrication

*Jong-Won Mun, Eun-Jin Gwon, Jong-In Ryu, Se-Hoon Park, Jun-Chul Kim
*Electronic Materials & Packaging Research Center
Korea Electronics Technology Institute

Abstract

This paper presents the effects of via losses to be connected with an embedded DPDT(Double Pole Double Thru) in a substrate. The substrate consists of two ABF(Ajinomoto Bonding Film) and a Epoxy core. In order to verify and test effects of via, via chains in a substrate using SoP-L process are proposed and measured. Via loss can be calculated as averaging the total via holes. The exact loss of a DPDT switch embedded in substrate are extracted by using the results of via chain and measured data from embedded DPDT.

The calculated one via insertion loss is about 0.0005 dB on basis of measured via chains. This result confirms very low loss in via. So the inserti on loss of the embedded switch is confirmed only switch loss as loss is 0.4 dB.

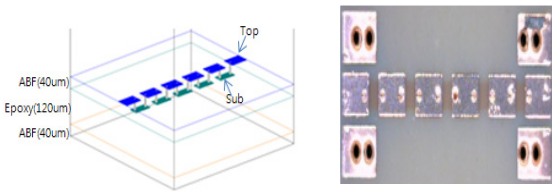
I. 서론

최근 전자부품의 소형화, 집적화로 인해 패키징 기술 또한 고집적화를 요구하고 있다. 최근 연구가 활발히 진행 중인 SoP-L공정은 유전율이 상이한 재료를 다층 구조로 만들기가 용이하다는 장점이 있다. 다층구조를 설계함에 있어 각 층간의 연결은 Via를 사용하게 되는데, RF 시스템의 특성은 회로구성과 사용물질에 영향을 받기 때문에 Via가 회로 특성에 미치는 영향을 파악하는 것이 중요하다[2].

본 논문에서는 DPDT 스위치를 임베딩 할 경우, Via가 스위치 특성에 미치는 영향을 확인하기 위해 Via Chain을 설계하고, 2.4 GHz에서 Via자체의 손실을 측정하였다. 그리고 동일 주파수에서 스위치를 임베딩한 경우의 측정된 손실과 비교하여 Via가 스위치 특성에 미치는 영향을 확인하였다.

II. 설계 및 실험

첫 번째 설계 및 실험은 Via만의 손실을 측정하기 위해 유전율이 3.5인 ABF 두 층과 유전율이 4인 Epoxy Core를 사용하여 6 mm × 6 mm 크기의 기판에 Via Chain을 설계하였다. 그림 1(a)과 같이 Top층과 Sub층의 연결은 10개의 Via를 사용하여 Chain 구조로 설계하였고, 2.4 GHz에서의 특성을 측정하였다.



(a) 측면도 (b) 정면도

그림 1. Via Chain 사진

각 Via의 손실을 유추하기 위해 Via로 연결 되지 않은 Top Line과 Sub Line으로 구성된 기준 기판과, 그림 1과 같이 Via Chain으로 구성된 기판을 각각 설계 및 제작한 후, 측정된 값을 비교하여 사용한 Via 수만큼 나누어 그 값을 구하였다. 그러나 기준기판의 Top Line과 Sub Line의 손실이 같지 않기 때문에 Via 한 개당 손실을 계산하기 위하여 두 선로 손실의 평균값을 적용하였다.

두 번째 설계 및 실험은 삽입 손실이 0.4 dB인 DPDT 스위치를 첫 번째 실험과 동일한 기판에 그림 2(a)와 같이 Epoxy층에 임베딩하고 스위치의 입·출력 단에 각각 Via 한 개씩을 사용하여 전송선로와 연결하는 구조로 설계하였다. 2.8V의 전압을 인가하여 스위치를 동작시키고, 2.4 GHz에서 동작특성을 측정하였다.

(a) 측면도 (b) 정면도

그림 2. DPDT 스위치 임베딩 사진

Ⅲ. 결과 및 고찰

첫 번째 실험을 통한 Via Chain의 측정 결과는 그림 3과 같이 2.4 GHz에서 삽입 손실은 0.05 dB이다.

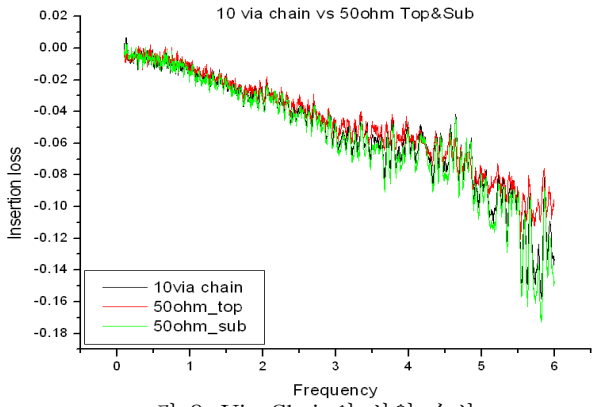


그림 3. Via Chain의 삽입 손실

기준 기판의 Top Line 삽입 손실은 0.04 dB, Sub Line 삽입 손실은 0.05 dB로 측정되었으므로, 두 Line의 평균 삽입 손실은 0.045 dB이다. 10개의 Via로 연결된 Chain구조의 삽입 손실이 0.05 dB이므로 전송 선로를 제외한 전체 Via의 삽입 손실은 0.005 dB이다. 따라서 Via 전체의 삽입 손실과 개수를 이용하여 구한 Via 한 개의 삽입손실은 0.0005 dB가 된다.

두 번째 실험에서 스위치가 임베딩 된 기판을 측정한 결과는 그림 4와 같다. 스위치가 동작할 때 2.4 GHz에서의 삽입 손실은 0.5 dB이고, 스위치를 통과하지 않고 기판의 입·출력 단을 연결하는 전송선로의 삽입 손실은 0.094 dB이다. 따라서 전송선로를 제외한 스위치와 via의 삽입 손실은 0.406 dB가 된다.

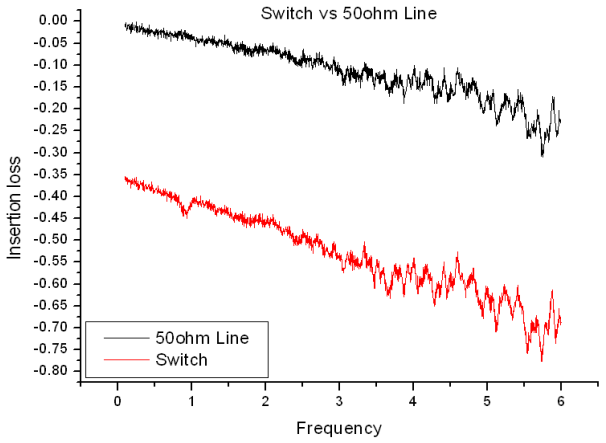


그림 4. 스위치의 삽입 손실

Ⅳ. 결론

본 논문에서는 DPDT 스위치를 SoP-L공정을 이용하여 유전율이 상이한 다층기판에 임베딩 할 경우 Via가 스위치 동작특성에 미치는 영향을 확인하고자 하였다.

Via를 Chain 구조로 만들어 Via의 손실을 확인해본 결과, 2.4 GHz에서 각 Via의 삽입 손실인 0.0005 dB는 측정 오차 범위에 포함되는 값이었다. 또한 DPDT 스위치를 임베딩 하였을 경우 전송선로를 제외한 스위치와 Via의 삽입 손실 0.406 dB에서 스위치 자체 삽입 손실이 0.4 dB임을 고려하였을 때, Via의 삽입 손실은 스위치 특성에 거의 영향을 미치지 않았다.

참고문헌

[1] Mikael Sterner, "Mechanically Tri-Stable SPDT Metal-Contact MEMS 스위치 Embedded in 3D Transmission Line" IEEE CNF. Microwave conference. 2007 European. 9-12 Oct. 2007 p.1225-1228

[2] 윤제현, 유찬세, 박세훈, "다층유기물 기판 내에서의 Via 형성방법에 따른 전기적 특성 연구", 한국전기전자재료학회 2007년도 하계학술대회 논문집