

고성능 D/A 변환기를 위한 보정 기법 연구

*김수재, 황정진, 윤광섭
인하대학교 전자공학부

e-mail : soojae79@inhaian.net, imw21@inhaian.net, ksyoon@inha.ac.kr

The research of calibration methods for High-performance D/A Converters

*Soo-Jae Kim, Jung-jin Hwang, Kwang-sub Yoon
School of Electronics Engineering
Inha University

Abstract

In a general way, Current scaling DACs are used in wireless communication systems. But there are degradations of important factors because of mismatch of current source corresponding to high resolution. To solve the problem, Calibration methods are researched lately. Mismatch of current source is corrected by Calibration method and then corrected current values are delivered to Core DAC. As a results, Degradations of important factors that produced by increment of non-linearity are suppressed by calibration method.

I. 서론

현재 무선통신 시스템에서 주로 사용되고 있는 DAC의 구조는 주로 전류구동 형이다. 전류구동 형 DAC는 동적 성능이 우수하여 고속·고해상도의 데이터 처리에 유리한 반면, 해상도가 높아질수록 전류소스의 부정합에 의해 발생하는 비선형성 때문에 주요 성능요소들이 저하되는 문제점이 있다. 이러한 문제점을 해결하기 위해 보정기법이 약 20여 년 전부터 다양한 부분회로에 다양한 방법으로 시도되었다.

이러한 방법들은 크게 아날로그 기반의 보정기법[1], [3] 과 디지털 기반의 보정기법[2] 으로 분류할 수 있다. 본 논문에서는 칩의 면적이 작은 디지털 기반의 보정기법을 이용하여 DAC를 설계하는 방법을 설명한다.

II. 보정 기법을 이용한 고성능 DAC 설계

본 논문에서 설명하고자 하는 디지털 기반의 보정기법이 적용된 DAC는 디지털 신호를 처리하는 부분에서 보정을 하는 방법으로 디지털 신호 처리 부분에 부가적인 회로가 필요로 한다. Core DAC로부터 출력된 전류의 양을 감지하여 기준 전류와 비교할 수 있는 전류 비교기가 필요하다. 전류 비교기로부터 출력된 전류의 변화량은 CALADC에 의해 보정하는데 필요로 하는 디지털 신호들로 바뀌게 되고, 이러한 디지털 신호들은 Shift Register에 의해 다양한 전류량을 갖는 전류 보상회로로 전달된다. 이렇게 전달된 신호에 따라 전류 보상회로는 보상해야하는 정확한 전류량을 Core DAC에 전달하게 되고, 이렇게 전달된 전류량을 기존의 전류량에 더하게 됨으로써 정확한 신호를 출력할 수 있다. 그림 1은 디지털 기반의 보정기법이 적용된 무선통신 시스템용 DAC의 대략적인 블록도이다.

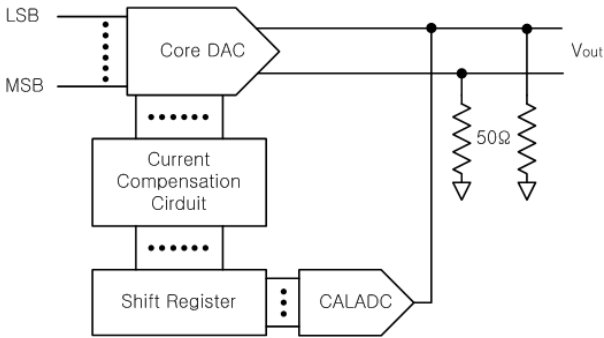


그림. 1 디지털 기반의 보정기법이 적용된 DAC의 대략적인 블록도

III. 설계 및 모의실험 결과

디지털 기반의 보정기법이 적용된 DAC에 사용될 Core DAC는 전류구동 형 DAC이다. 기존에 연구하였던 12비트 DAC를 BSIM3 모델을 이용하여 모의실험한 결과를 그림 2에 나타내었다.

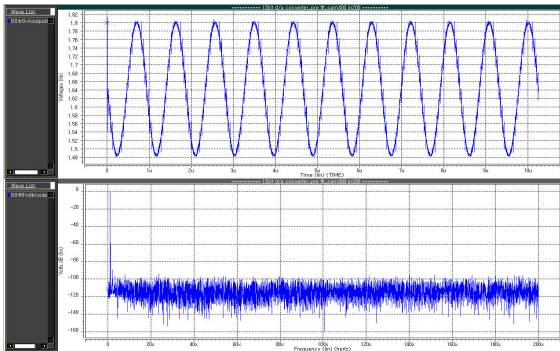


그림. 2 FFT 모의실험 결과

그림 3은 CALADC에 사용될 보정용 전하구동 형 8 비트 DAC를 BSIM3 모델을 이용하여 모의실험 한 결과이다.

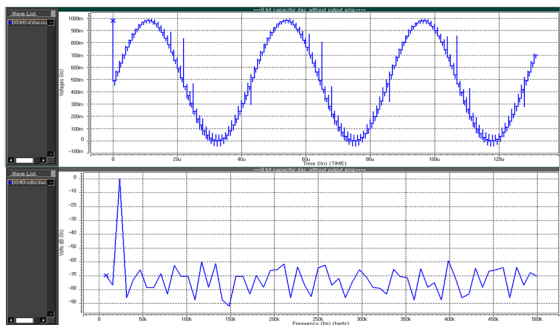


그림. 3 전하구동 DAC의 FFT 모의실험 결과

IV. 결론 및 향후 연구 방향

현재 산업의 추세에 따라 디지털 기반의 보정기법이

SoC 집적회로에 더 유리할 것으로 예상하여 디지털 보정기법을 적용한 DAC를 계속 연구할 계획이다. 현재 디지털 기반의 보정기법이 적용된 DAC에 사용될 모든 부분 회로들이 완성된 것이 아니기 때문에 일부 부분 회로에 대한 모의실험 결과만을 나타내었다. 아래 표 1은 Core DAC의 모의실험 결과를 요약한 것이다.

표. 1 Core DAC

	모의실험결과
해상도	12비트
변환속도	400MHz
ENOB	9.05비트
SFDR	59.62dBc
소비전력	9.26mW
공정	BSIM3 model

표 1에서 보는 것과 같이 보정 기법이 적용되지 않은 일반 DAC의 경우 비선형성의 증가로 인해 유효비트수가 크게 떨어지는 것을 확인할 수 있다. 때문에 보정기법에 대한 연구가 필요한 상태이다. 차후 연구 진행 사항으로 CALADC와 Shift Register, 전류보상 회로를 완성하여 시스템을 구성한 후 일반적인 전류구동 형 DAC와 성능 비교를 할 예정이다.

참고문헌

- [1] D. WOUTER J. GROENEVELD, HANS J. SCHOUWENAARS, HENK A. H. TERMEER, AND CORNELIS A. A. BASTIAANSEN, 'A Self - Calibration Technique for Monolithic High-Resolution D/A Converters', IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 24, NO. 6, DECEMBER 1989
- [2] Yonghua Cong, Randall L. Geiger, 'A 1.5-V 14-Bit 100-MS/s Self-Calibrated DAC', IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 12, DECEMBER 2003
- [3] S. SAEEDI, S. MEHRMANESH AND M. ATARODI, 'A Low Voltage 14-Bit Self-Calibrated CMOS DAC with Enhanced Dynamic Linearity', Analog Integrated Circuits and Signal Processing, 43, 137-145, 2005
- [4] Douglas A. Mercer, 'Low-Power Approaches to High-Speed Current-Steering Digital-to-Analog Converters in 0.18-μm CMOS', IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, NO. 8, AUGUST 2007