

수정된 CMOS 플래시 AD변환기 구현

*권승탁

서남대학교 컴퓨터 정보통신공학과

e-mail : starkwont@naver.com

Implementation of Modified CMOS Flash AD Converter

*Seungtag Kwon

Department of Information and Communication

Seonam University

Abstract

This paper proposed and designed the modified flash analog-to-digital converter(ADC). The speed of new architecture is similar to conventional flash ADC but the die area consumption is much less due to reduce numbers of comparators. The circuits which are implemented in this paper is simulated with LT SPICE and layout with Electric tools of computer.

I. 서론

AD변환기의 구조 중 가장 빠른 변환을 할 수 있는 구조는 플래시 형 AD 변환기 이다[1]. 이 형태에서 N 비트 출력을 위해서는 2^N 개의 동일저항과 $2^N - 1$ 개의 비교기를 사용한다[2]. 따라서 플래시 AD변환기의 분해능이 8 비트 이상이 되면 회로가 매우 복잡해지고 가격이 비싸지는 단점이 있다. 또한 해상도가 10 비트 이상이 되면 회로 구현이 거의 불가능하게 된다 [3][4].

본 논문은 소규모의 플래시 AD 변환기를 이용하여 높은 해상도(resolution) 플래시 AD변환기의 기능을 하는 구조를 제안하고 이것을 CMOS 회로로 구현한다.

본 논문의 2장에서는 플래시 AD변환기의 구조와 동작을 살펴보고 3장에서 AD변환기 회로 설계와 시뮬레이션 결과에 관하여 설명하고 4장에서 결론을 맺는다.

II. 플래시 AD 변환기 구조와 동작

플래시 AD변환기는 그림 1과 같이 비교기, 엔코더, 디코더를 사용하여 설계한다.

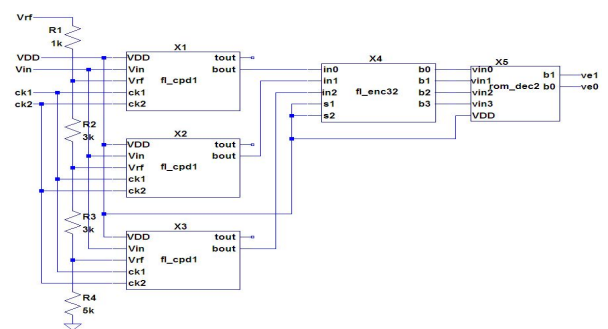


그림 1. 2비트 플래시 AD 변환기 회로

2.1 비교기

비교기는 참고신호를 분압 하는 저항들 사이에 연결되어 입력신호와 비교하여 참고전압 보다 더 높은 "+" 단자 전압이 걸리는 비교기의 아래 비교기들의 출력은 모두 "1"(high)로 출력시키고, 나머지 상위 비교기들의 출력은 모두 "0"(low)을 출력 시킨다. 이렇게 출력되는 부호를 온도계 부호(thermometer code)라 한다.

2.2 엔코더와 디코더

엔코더는 비교기에서 출력되는 온도계부호를 이용하여 "0"과 "1"이 바뀌는 점을 선택하여 2^N 개중 1개를 선택하는 결과를 보여주는 행렬이다. 엔코더에서 출력되는 신호 중 "1"이 되는 선이에 연결된 디코더의 값이 출력한다.

III. 제안된 AD 변환기

본 논문에서 제안한 6 비트 AD 변환기 회로는 4비트 플래시 AD 변환기, 전압 예측기, 스위치 등을 이용하여 설계하였다.

3.1 6비트 AD 변환기 회로설계

제안된 AD 변환기는 소규모의 플래시 AD변환기를 이용하여 AD 변환기의 회로의 크기를 줄일 수 있는 방법으로 설계하였다.

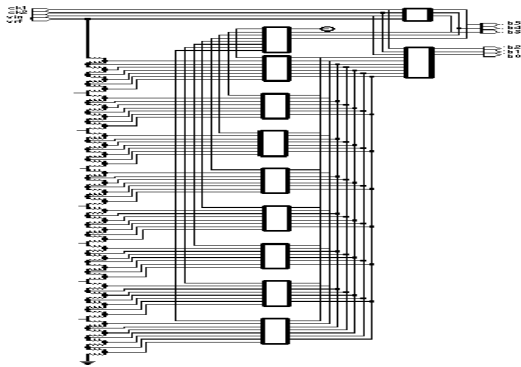


그림 2. 6 비트 ADC 회로

따라서 이 변환기는 플래시 AD변환기보다 현저하게 적은 수의 비교기를 갖고 있지만 별도의 사이클을 사용하지 않으므로 변환속도는 플래시 변환기와 거의 비슷하다. 그림 3은 6비트 AD 변환기 시뮬레이션 결과이다.

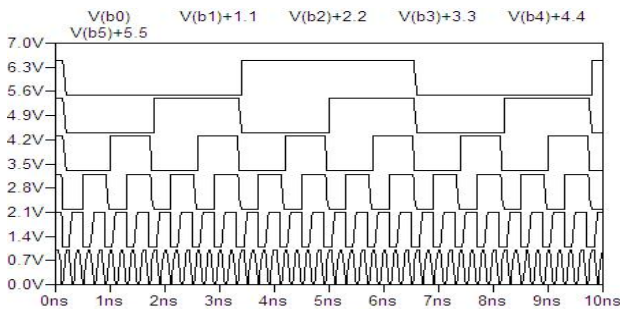


그림 3. 6 비트 AD 변환기 시뮬레이션

3.2 6비트 AD 변환기 레이아웃

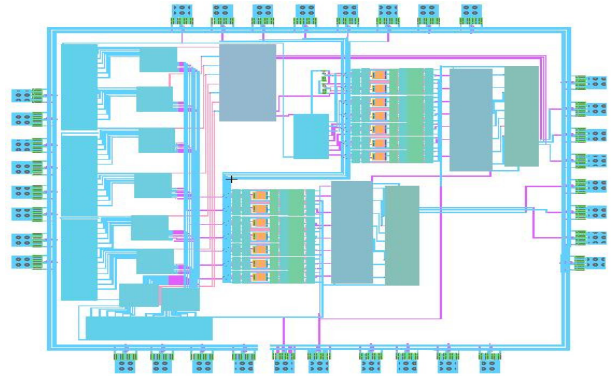


그림 4. 6 비트 AD 변환기 레이아웃

본 논문에서 설계한 6 비트 AD 변환기의 레이아웃은 다음과 같다. 이 회로는 설계 전에 LT SPICE[5]와 IRSM을 이용하여 시뮬레이션 하여 설계상 오류가 없음을 확인하였고 Electric 소프트웨어[6] 상에서 ERC와 DRC를 실행하여 오류가 없음을 확인하였다. 6 비트 AD 변환기의 구현은 MOSIS 2.0 μ m 3 레벨 공정에 따라 시뮬레이션하고 레이아웃 하였다.

IV. 결론 및 향후 연구 방향

본 논문에서 제안한 AD 변환기는 아날로그 입력 전압의 범위를 예측할 수 있는 전압예측기와 일정 구역으로 나누어진 부분들을 스위치로 제어기를 이용하여 플래시 변환기 보다 비교기 수를 현저히 줄일 수 있었다. 본 연구가 실용화 될 경우 데이터양이 많은 3차원 디지털통신이나 실시간 3차원 의료분야에 유용하게 사용될 것으로 기대된다.

참고문헌

- [1] L. Sherman, "Fast CMOS A/D chip samples inputs," Electron. Design .pp. 149-159. July 8, 1982.
- [2] Michael J. Demler, "High-speed Analog-To-Digital Conversion", Academic Press, pp. 24 - 67, 1991.
- [3] R. Jacob Baker, "CMOS Circuit Design, Layout, and Simulation," IEEE Press, pp. 932-1015, 2005.
- [4] Koichi Ono, Tatsuji Matsuura, Eiki Imaizumi, Hisashi Okazawa, and Ryuushi Shimokawa, "Error Suppressing Encode Logic of FCDL in a 6-b Flash A/D Converter," IEEE Journal of Solid-state circuits, Vol. 32, no. 9, pp. 1460-1464, 1997.
- [5] Mike Engelhardt, "About LT spice/Switcher CADIII," <http://www.linear.com/designtools/software/>
- [6] Steven M. Rubin, " Using Electric VLSI Design system," <http://www.staticfreesoft.com/>