

온칩된 커패시터 채배기법 적용 보상회로를 갖는 DC to DC 벡 변환기 설계

*박승찬, 임동균, 윤광섭
인하대학교 전자공학과
e-mail : stamen7@empal.com

Design of a Step-Down DC-DC converter with On-chip Capacitor multiplied Compensation circuit

*Seung-Chan Park, Dong-Kyun Lim, Kwang-Sub Yoon
Dept. of Electronic Engineering INHA University

Abstract

A step-down DC-DC converter with On-chip Compensation for battery-operated portable electronic devices which are designed in 0.18um CMOS standard process. In an effort to improve low load efficiency, this paper proposes the PFM (Pulse Frequency modulation) voltage mode 1MHz switching frequency step-down DC-DC converter with on-chip compensation. Capacitor multiplier method can minimize error amplifier compensation block size by 20%. It allows the compensation block of DC-DC converter be easily integrated on a chip and occupy less layout area. But capacitor multiplier operation reduces DC-DC converter efficiency. As a result, this converter shows maximum efficiency over 87% for the output voltage of 1.8V (input voltage : 3.3V), maximum load current 500mA, and 0.14% output ripple voltage. The total core chip area is mm²

I. 서론

배터리 기반의 멀티미디어 휴대장비들은 갈수록 기능을 발전시키며, 그 구현면적을 계속 축소시켜왔다. 이런 추세에 전원관리 블록은 크게 두가지 발전 방향을 갖고 개선되어 왔다. 첫째가 높은 효율을 통한 동작시간 연장이고, 둘째가 작아진 구현 면적이다. 첫째목표를 위해서 휴대장비(특히 휴대폰)가 갖고 있는 긴 대기 시간을 고려한, 저부하 상태의 고효율 동작이 필요하다. 또한 구현면적을 더욱 줄이기 위해서, 보상회로의 수동소자를 온칩 할 것이다. 이때 보상회로의 커패시

터가 차지하는 면적을 절약하기 위해서 커패시터 채배 기법을 사용하고, 커패시터의 요구면적을 1/20 수준으로 낮출 수 있다.

II. 커패시터 채배기법을 적용한 벡 변환기 구조

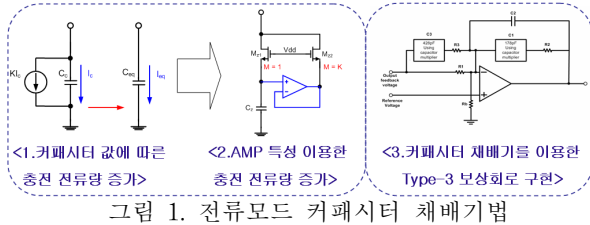
2.1 부하별 동작모드

설계된 벡 변환기는 정상동작시 펄스폭변조(이후 PWM 표기)방식으로 동작하고, 저부하(50mA) 및 대기 시에는 펄스주파수변조(이후 PFM 표기)방식으로 동작한다. 변환기는 크게 온칩되는 부분과 외장되는 소자로 나누어진다. 외장되는 정류필터 역할의 인덕터와 커패시터를 제외하고 모든 블록 및 소자는 온칩된다. 보상회로에서 출력전압은 $[R2 / (R1 + R2)] * V_{out}$ 으로 나누어져, 기준전압과 비교된다.

보상회로의 출력 값은 램프 값과 비교되어서, 파워스 위치의 On되는 시간을 결정한다. 본 회로에서는 PWM 과 PFM 방식 모두 위의 과정을 통해 On되는 시간이 결정되고, Off time은 보상단 출력 값이 램프 값보다 작은 시점으로 된다. 반면 PFM 동작 모드에서는 부하 전류에 따른 전하소모량에 따라, Off time이 유동적으로 조정된다. 부하전류 감지를 위해서 [4]에 제시된 전류감지 MOSFET과 AMP를 사용하였다. 감지되는 부하전류 값을 offset과 비교함으로써 동작모드 변경여부를 결정하게 된다.

2.2 커패시터 채배기법

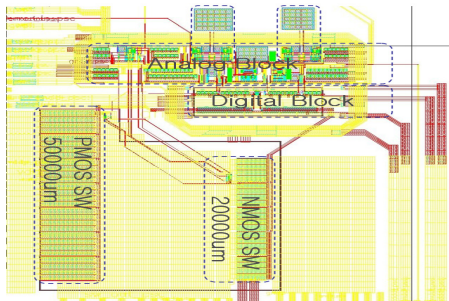
보상회로에서의 큰 용량의 커패시터를 온칩하기 위해서, 참고[2]에서는 커패시터 채배기법을 소개한다. 본 논문에서는 전류방식의 커패시터 채배기법을 사용하였다. 그림1은 커패시터 채배기의 동작과 커패시터 채배기를 사용한 type3 보상회로를 보여준다.



III. 설계 및 모의실험 결과

설계와 시뮬레이션에 Synopsys의 Hspice를 사용하였고, 레이아웃에는 Cadence가 사용되었다.

삼성 018um 공정에 thick gate를 사용하여 3.3V의 공급전압을 1.2V로 강압을 수행한다. IP의 사양은 표1과 같다. 그림2는 전체시스템의 레이아웃을 보여준다. 공정 수 절감을 위해 레이아웃시의 라우팅은 2개의 메탈층을 사용하였다. 디지털 잡음을 발생시키는 디지털 및 파워스위치 영역에 가드링을 추가하여 간섭을 억제하였다.



IV. 결론 및 향후 연구 방향

본 논문을 통해, 고부하/저부하에서 고른 효율을 갖는 벡 변환기를 제안하였다. 제안되는 벡 변환기는 저부하에서는 PFM의 동작모드를 갖고, 정상동작시에는 PWM방식으로 동작한다. 그림3은 설계된 회로의시동파형과, PWM 동작파형이다. PFM 동작모드를 통하여 저부하 상태에서의 40%정도의 효율을 60% 수준으로 향상시킬 수 있었다. 또한 간단한 시스템 구현을 위하여, 칩외에 실장되는 보상소자를 온칩하였다. 이때 커패시터가 차지하는 칩면적의 감소를 위하여, 커패시터 채배기법을 사용하였고, 그 결과 커패시터의 요구면적을 1/20 수준으로 낮추게 되었다. 제안된 벡 변환기는

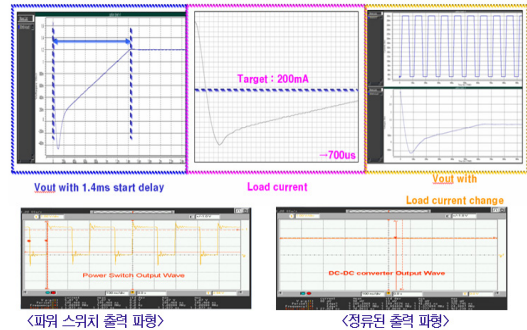
작은 구현면적과 높은 대기 모드 효율을 요구하는 배터리 기반 휴대장치에 적용을 목적으로 설계되었다.

향후의 연구는 정상 동작시의 부하 전류량에 따라 최적의 효율을 구현하기 위한, 파워 스위치 크기변조 기법의 최적화와 구현을 진행 할 것이다.

또한 부하의 이상으로 인한 시스템과파 방지를 위한 과전류 방지 방안에 대해서 연구할 것이다.

표 1. 제안된 벡 변환기의 상세 사양

항 목	work
입력/출력 전압	3.3 / 1.8 V
스위칭 주파수	1MHz
전력효율	Maximum 87.8 %
전압리플	0.56%
부하전류	500mA
필터 인덕터 / 커패시터	33uH / 33uF
공정 / 유류 칩 면적	CMOS 0.18um / 2400 × 1500 μm ²



참고문헌

[1] Biranchinath Sahu, Gabriel A.Rincon-Mora, "An accurate, Low-Voltage, CMOS Switching Power Supply with Adaptive On-time Pulse-Frequency Modulation Control" *IEEE Transactions on Circuit and systems* pp.312-320, Feb, 2007

[2] Chia-Jung and Ke-Horng Chen, "Bidirectional Current-Mode Capacitor Multiplier in DC-DC Converter Compensation", *IEEE Proceeding the Fifth International Work shop on System-on-Chip for Real-Time Applications*, Vol.10, pp.111-116, July 2005.

[3] Hoi Lee and Philip K. T. Mok, "A SC DC-DC Converter with Pseudo Continuous Output Regulation using a Three-Stage Switchable Opamp", *2005.IEEE Internationa lSolid-State Circuits Conference, Session15,ADCs, DC References, and Converters*, pp. 288-289, Feb.2005.

[4] Cheung Fai Lee and Philip K. T. Mok, "A Monolithic current-Mode CMOS DC-DC Converter With On-Chip Current-Sensing Technique", *IEEE Journal of Solid-State Circuits*, Vol.39. No.1, pp.3-14, Jan.2004.

[5] Abed,K.H, Wong, K.Y, Kazimierczuk, M.K, "Implementation of novel low-power drive for integrated buck converter" *IEEE Circuits and Systems*,Vol.2, pp. 1757-1760, Aug. 2005.