

# Mobile SoC에서의 Dual Port DRAM을 사용한 Performance 향상

\*노종호, 정의영

연세대학교 전기전자공학부

e-mail : jongho.roh@yonsei.ac.kr, eychung@yonsei.ac.kr

## Performance enhancement using dual port DRAM in Mobile SoC

\*Jong-Ho Roh, Eui-Young Chung

School of Electrical and Electronic Engineering,  
Yonsei University

### Abstract

By using Dual Port DRAM to Multi-media SoC, an improved performance is achieved in this paper. The proposed scheme greatly help the multi-media SoC like a application for full HDTV, and it can be extended to the application field which is needed the low access latency with heavy traffic. Additionally, the proposed scheme help to down the BUM cost of system.

### I. 서론

모바일 SoC(System-on-Chip)의 성능에 점점 높아지면서 메모리 Bandwidth의 증가에 대한 요구가 증가되고 있다. 예로써, 1080p급의 HDTV를 지원하는 모바일 기기의 메모리 Bandwidth를 맞추기 위해서는 제품에 따라 최소한 두개 이상의 메모리 포트가 필요하게 된다. 그런데, 두개 이상의 메모리 포트의 필요성은 메모리의 저장량이 아닌 메모리 Bandwidth를 맞추기 위한 점이라는 데서 착안하여, 단순히 두개 이상의 메모리를 사용하는 것이 아니라 한 개의 메모리에 포트를 두개 두어 뱅크단위의 Access를 하는 Dual Port

DRAM을 사용하면, 메모리 Bandwidth를 향상시킬 수 있고, 제품 Cost 도 낮출 수 있다. 또한, 이러한 System에서 본 논문에서 제안된 방식의 Access Control를 하는 경우 시스템의 성능 향상을 가져올 수 있다. 본 논문에서 제안하는 바는 Dual Port Memory를 사용하는 경우에 필요한 Access Control에 대한 Algorithm이다.

### II. 본론

#### 2.1 최신 SoC 구조 및 제약

현재 모바일 SoC는 TV을 위한 SD(720\*480) 출력 및 LCD를 위한 WVGA(800\*480) 출력을 기본으로 하고 있으며, 앞으로 요구되는 스펙은 True HDTV를 위한 1080p (1920\*1080)을 지원하는 것이 될 것이다. 이를 위해, SoC내부의 CODEC 및 영상출력장치의 성능 못지않게 중요한 부분이 메모리 Bandwidth이다.

#### 2.2 Dual Port DRAM

Dual Port DRAM은 여러가지 방식으로 만들어질 수 있으나, 본 논문에서 고려하는 대상은 각각의 포트에 할당되어 있는 Bank가 1개 이상씩 있고, 두개의 포트에서 모두 Access가 가능한 하나의 Bank (Shared Bank)를 갖는 DRAM을 가정한다.

2.3 제안하는 방식

2.2절에서 제시한 Dual Port DRAM을 사용하는 경우, 제안하는 Algorithm에 대한 도식적이 이해를 위해서 IPTV 방송을 HDTV에 디스플레이 하는 SoC의 경우를 예로 든다. 그림 1에서 기존 방식의 두개의 메모리를 사용하는 방법을 예시하고 있는데, 데이터의 이동은 1번 경로, 2번 경로 및 3번 경로로 이루어진다. 1번 경로는 데이터를 디코딩하여 외부 메모리에 저장하는 경로이다. 2번 경로는 저장된 디코딩 데이터를 디스플레이에 맞는 데이터 포맷으로 변경 및 이미지 사이즈를 HD급으로 변환한 후 메모리에 저장하는 경로이다. 3번 경로는 저장된 이미지를 디스플레이 장치로 보내기 위해 데이터를 읽는 경로이다. 그림 2에서는 제안된 방식의 메모리 Access를 제어하는 방식을 보인다. 여기서 1번 경로 및 3번 경로는 위의 그림 1과 동일한 동작을 수행하고, 2-1번 경로 및 2-2번 경로는 Shared Bank를 Access하는 경로인데, 제안하는 Algorithm을 사용하여 메모리를 Access한다. 제안된 Algorithm은 그림 2에서 보인 메모리 Controller에서 각각의 명령큐의 정보를 사용하여 TrafficCountM0(1)이라는 각 경로의 Traffic수준을 나타내는 정보 생성하여 Access Controller에게 전달하고, 그림 4에서 간략히 보인 Algorithm을 사용하여 Access Controller는 어떤 경로를 사용할지를 결정한다. 즉, 양쪽 포트에서 모두 Access가능한 Shared Bank에 대하여 Traffic이 적은 경로를 사용함으로써 메모리 Access Latency를 줄일 수 있다.

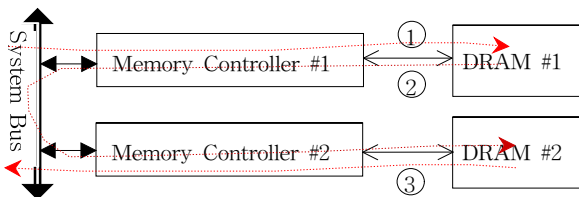


그림 1. 기존의 방식을 사용한 데이터 Access

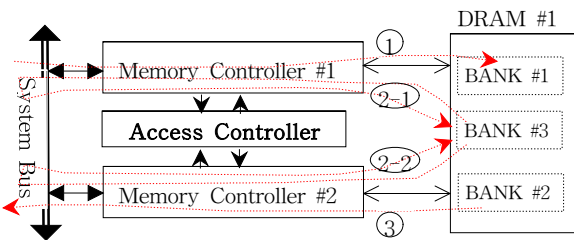


그림 2. 제안된 방식을 사용한 데이터 Access

```
// Access Controller의 Algorithm
if ( TrafficCountM1 >= TrafficCountM0 ) {
    AccessEnableM1 = False;
    AccessEnableM2 = True;
} else {
    AccessEnableM1 = True;
    AccessEnableM2 = False;
}
```

그림 4. Access Control 알고리즘

III. 구현 및 실험

위와 같은 HDTV 시나리오에서 버스 Access를 단순화 하여 제안된 Algorithm 사용하여 간략한 simulation 수행 결과 2번 경로의 Access에 대해 약 16 cycle정도의 Access Latency가 감소되는 결과를 확인하였다.

IV. 결론 및 향후 연구 방향

위 실험 결과를 통해서 Dual Port DRAM 방식을 사용하고 본 논문에서 제안한 Access Control Algorithm을 사용하는 경우 Access Latency를 감소시킴으로써 시스템 성능향상을 가져올 수 있음을 기술하였다. 향후 연구에서는 두개 이상의 Multi Port DRAM을 사용하는 경우 보다 효과적인 Access Control 방법에 대한 알고리즘에 대한 연구 및 Bandwidth를 최적화하기 위한 Low Cost의 Memory 구조에 대한 연구를 하려한다.

감사의 글

본 논문은 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체기반기술개발사업(시스템 IC 2010)”을 통해 개발된 결과임을 밝힙니다.

참고문헌

[1] Energy-efficient dual-port cache architecture with improved performances, X. Chen and H. Bajwa, ELECTRONICS LETTERS 4th January 2007 Vol. 43 No. 1  
 [2] Reducing DRAM Latencies with an Integrated Memory Hierarchy Design, Wei-fen Lin, Steven K. Reinhardt and Doug Burger, *Appears in the 7th International Symposium on High-Performance Computer Architecture, January 2001.*