

Reduced Swing 방식과 Low-Vt 고전압 소자를 이용한 고속 레벨시프터 설계

\*서해준, \*김영운, \*\*류기주, \*\*안종복, \*조태원  
 \*충북대학교 전자공학과, \*\*한국폴리텍대학  
 \*hjseo@dsd.cbnu.ac.kr

A Design of High-Speed Level-Shifter using Reduced Swing and Low-Vt High-Voltage Devices

\*Hae-Jun Seo, \*Young-Woon Kim, \*\*Gi-Ju Ryu, \*\*Jong-Bok Ahn, and \*Tae-Won Cho  
 \*School of Electrical and Computer Engineering, Chungbuk University  
 \*\*Korea Foundation of Polytechnic Colleges

Abstract

This paper proposes a new high-speed level shifter using a special high voltage device with low threshold voltage. Also, novel low voltage swing method is proposed. The high voltage device is a standard LDMOS(Laterally Diffused MOS) device in a 0.18 $\mu$ m CMOS process without adding extra mask or process step to realize it. A level shifter uses 5V LDMOSs as voltage clamps to protect 1.8V NMOS switches from high voltage stress the gate oxide. Also, level-up transition from 1.8V to 5V takes only 1.5ns in time. These circuits do not consume static DC power, therefore they are very suitable for low-power and high-speed interfaces in the deep sub-quarter-micron CMOS technologies.

1. 서론

최근 들어 저비용 고효율의 반도체메모리 소자의 주변 회로 개발에 있어서 sub-micron 표준 CMOS 공정을 이용한 고전압 소자를 집적시키는 기술이 개발되고 있다.[1] 또한 이러한 표준공정에서 집적된 고전압소자를 빠르게 제어하고, 고전압 소자들로부터 스위칭용 저전압소자들을 보호하고자하는 다양한 회로설계 방법들이 제안되고 있다.[2] 특히 기존의 반도체메모리장치의 워드라인 전압공급을 위한 레벨시프터(level shifter)회로는 표준 CMOS공정과 출력단 구동을 위한 고전압 CMOS공정을 함께 사용하여 집적시킨다. 즉 저전압 소자들로 고전압소자를 제어 하게 된다. 고전압소자는 1V에서 1.5V정도의 높은 문턱전압(high-Vt)을 갖는다. 따라서 고전압 CMOS소자들로 구성된 출력단을 낮은 문턱전압을 갖는 저전압소자를 이용하여 제어 할 때 시간이 오래 걸렸다.[1] 이는 반도체 메모리 장치의 동작성능을 크게 좌우하게 되며 메모리 성능을 떨어 뜨리는 원인이 된다. 따라서 본 논문에서는 이러한 문제점을 해결하기 위해서 레벨시프터회로의 스위칭용 고전압 NMOS소자 대신에 드레인-소스 전압은 5V에서 10V의범위로 동작하면서 문턱전압은 저전압소자와 비슷한LDMOS(Laterally Diffused MOS)소자를 이용한 레벨시프터회로를 제안 설계하였다. LDMOS소자는 표준 저전압 CMOS공정에서도 제작 가능하다. 표준 로직용 CMOS소자와 고전압용 표준 N-채널(channel) LDMOS소자를 이용하여 스위칭

속도를 향상시켰고 또한 구동용 고전압으로부터 로직용 저전압 소자를 보호하게 했다. 따라서 EEPROM과 같은 반도체메모리 장치에서 5V이상의 워드라인 전압을 발생하는 레벨시프터회로에 적합하다. 레벨시프터회로가 적용된 반도체 메모리용 워드라인 드라이버 블록도를 그림1에 나타내었다.

2. 제안한 레벨시프터

본 연구에서는 일반적인 저전압소자용 스위칭제어 전압보다 low-swing 전압을 갖는 reduced swing 스위칭회로가 적용되었고, 이는 레벨시프터회로에 사용된 고전압 제어용 소자는 0.6V 정도의 낮은 문턱전압(low-Vt)을 갖는 수평형 고전압 N-채널 LDMOS 소자로 문턱전압이 스위칭제어용 저전압소자와 비슷하기에 가능하다. 따라서 레벨시프터를 제어함에 있어 full-swing 스위칭소자의 제어보다 고속의 스위칭제어가 가능하다. 본 논문에 적용된 고전압 LDMOS 소자는 드레인 영역에 n-well로 구성된 드리프트 영역이 형성되고, 소스 영역은 일반적인 로직공정의 LDD접합으로 구성되거나 소스와 드레인 모두 드리프트 영역으로 구성된다. 또한 드리프트 영역은 드레인에 인가된 높은 전기적인 포텐셜을 감소시켜 소자의 항복전압을 높여주는 역할을 한다.[3] 따라서 이러한 특성을 이용하여 제안된 레벨시프터회로는 저전압부에서 고전압 MOSFET 소자들로의 reduced swing 스위칭 연결단, 고전압을 PMOS 부하소자의 래치(latch)동작단과 고전압 출력 구동단으로 구성된다. 그림 2는 설계된 레벨시프터회로로 크로스 커플(cross-coupled)된 고전압 PMOS 소자들은 VDDH 전압을 공급받고, 또한 래치동작을 통하여 출력단에 VDDH의 고전압을 공급한다. 이때 VDDH 전압이 다시 고전압 PMOS 소자들의 래치를 위해 반복적으로 양의 전압으로 피드백(feed-back) 된다. 또한 스위칭 용도로 사용된 고전압 NMOS 소자들을 대체하여 LDMOS 소자로 사용하였고, 이때 전류 구동 능력은 VDDL에 의해 결정된다. 입력 제어신호 IN이 low일 때 MLD1, MN2, MN0와 MP11이 turn on되고 MLD2, MN3, MN1과 MP00은 turn off된다. 또한 입력 제어신호가 high일 때는 반대로 동작되어 출력단 입력이 low에서 high로 바뀐다. 출력단이 PMOS 래치 동작에 의해 값이 변하기 전에 MLD1, MN2, MN0와 MLD2, MN3, MN1들은 풀다운(pull down)되어야 하며, MLD1과 MP00의 전류구동 능력이 저전압에서 고전압으로 변환하는 시간을 좌우하게 된다.

본 논문은 반도체설계교육센터(IDEC)와 한국 소프트웨어 진흥원(IT-SOC)의 연구지원을 받았다.

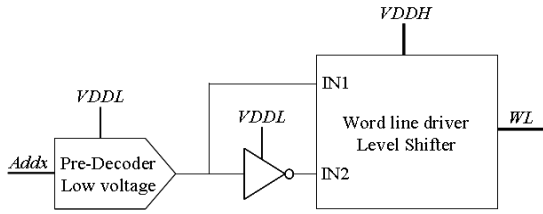


그림1. 메모리장치를 위한 워드라인 드라이버 블록도[2]

본 논문에서는 5V이상의 고전압 스트레스(stress)로부터 1.8V의 NMOS 스위칭 트랜지스터를 보호하기 위해 0.18 $\mu$ m의 표준 CMOS@1.8V/5V 공정에서 추가적인 공정 없이 Low-Vt용 N-Type의 LDMOS 소자를 사용하고 또한 이를 고속으로 제어 가능한 low-swing 스위칭용 인버터회로가 적용된 고속 레벨시프터회로를 제안 설계하였다.

3. 실험결과 및 분석

표준 PVT조건(typical TT process, 25 $^{\circ}$ C, VDDH=5.0V, and VDDL=1.8V)에서 실험된 voltage-swing 스위칭특성과 전달특성의 비교 검증과형이 그림3과 그림4에 나타나있다. 그림3의 스위칭특성 비교에서 기존의 full-swing 스위칭용 인버터회로를 이용한 구조는 스위칭시간이 오래 걸렸다. 그에 비해 제안한 구조의 스위칭특성은 노드A와 노드B점의 두 노드모두 기존보다 감소된 스윙을 한다. 이는 레벨시프터회로의 래치동작을 위한 고속스위칭을 위한 스위칭소자의 turn on/off 동작을 빠르게 제어할 수 있는 장점이 있다. 그러한 결과로 그림4와 같이 기존 레벨시프터회로의 전달특성과 비교하여 빠른 전달특성을 갖는다는 것을 확인할 수 있다. 그림5에서는 제안한 레벨시프터회로의 동작특성을 나타내었다. 그림에서 신호 IN(1.8V)에서 OUT (5.0V)으로의 전달지연은 최대 1.5ns 임을 볼 수 있다.

4. 결론

본 논문은 reduced swing 방식과 표준 CMOS 공정에서의 LDMOS(Laterally Diffused MOS)를 이용한 고속의 레벨시프터(level-shifter)회로를 제안 설계하였다. 이는 EEPROM과 같은 반도체 메모리에서 기록 및 소거 동작에는 고전압을 사용하여 구현하므로 기존의 sub-quarter-micron 공정에서 제로 문턱 전압(zero-Vt) N-채널 MOS를 이용하여 설계된 구조의 단점인 저전압을 벗어나 고전압에서도 고속의 레벨시프터회로를 구현할 수 있다. 실험결과 입력신호에서 출력신호로의 전달지연은 약 3ps 정도 걸림을 확인할 수 있었다.

참고 문헌

1. Toru Tanzawa et al., "Wordline Voltage Generating System for Low-Power Low-Voltage Flash Memories", IEEE, JSSC, Vol.36, No.1, January. 2001
2. Jean-Michel et al., "A 40ns random access time low voltage 2Mbits EEPROM Memory for embedded applications", IEEE, MTDT'03, 1087-4852/2003.
3. 나기열, 김영석, "N-Channel LDMOS Devices using 0.25 $\mu$ m Standard CMOS Technology", 제13회 한국반도체학술대회, PF2-24, 2006.2

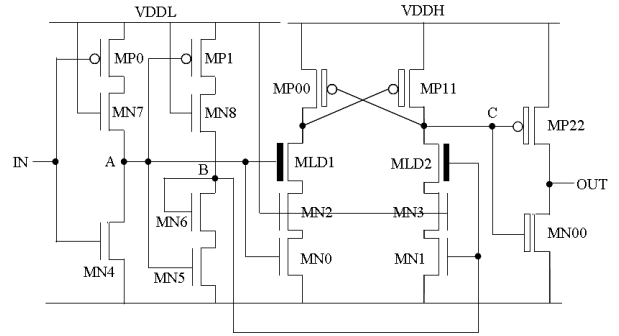


그림2. 제안한 레벨시프터회로

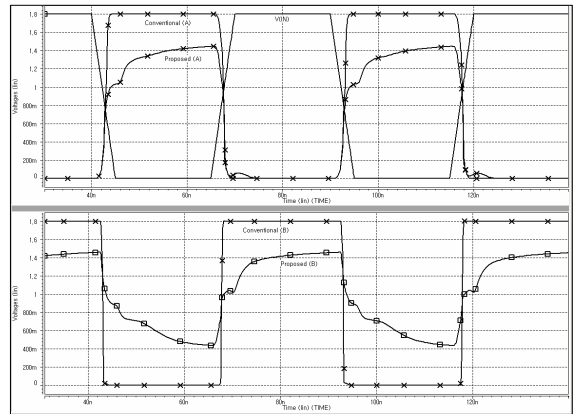


그림3. Voltage-swing 스위칭특성 비교과형

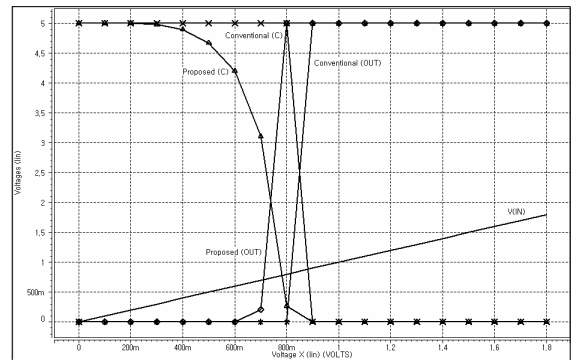


그림4. 제안한 레벨시프터회로의 전달특성 비교과형

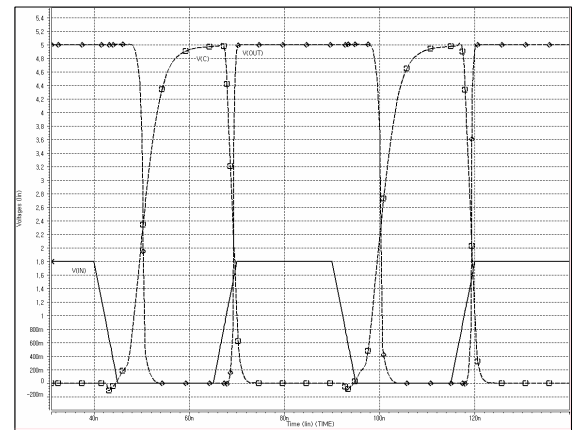


그림5. 제안한 레벨시프터회로의 동작과형