

# 96.5 $\mu\text{W}$ 소비 전력을 갖는 리미팅 증폭기 설계

\*최문호, 이종수, 강지희, 김영석  
 충북대학교 전기전자컴퓨터공학부  
 e-mail : *idcmh@diva.cbu.ac.kr*

Desing of the 96.5  $\mu\text{W}$  Limiting Amplifier using low power technique

\*Moon-Ho Choi, Jong-Soo Lee, Ji-Hee Kang, Yeong-Seuk Kim  
 School of Electrical and Computer Engineering  
 Chungbuk National University

## Abstract

This paper presents fully integrated low power consumption limiting amplifier. The proposed limiting amplifier is employed folded cascode structure with source degeneration output stage. This proposed structure demands few transconductance than conventional structure. It can be dramatically decrease current consumption. The total power consumption is only 96.5  $\mu\text{W}$  under a 1.8 V supply voltage in 9.5 dB limited gain condition. It was designed in using 0.18  $\mu\text{m}$  CMOS technology.

## I. 서론

다양한 휴대용 기기의 출현은 휴대용 기기 시장에서 고성능과 저전력을 주요 경쟁력으로 요구하고 있다. 특히 저전력 기기의 요구는 동일한 전지 용량으로 오랜시간 기기의 사용이 가능해 최근들어 더욱 비중있게 연구 되고 있는 분야이다.

휴대용 기기의 부품 중 리미팅 증폭기는 자동이득 조절 장치(Automatic Gain Controller ; AGC), 로그 함수 증폭기, 수신신호 강도 지시기(Received Signal Strength Indicator ; RSSI) 및 기본 증폭기로 사용되고 있다. RSSI로 쓰이는 리미팅 증폭기는 수신 감도의 크기를 결정함에 있어 중요한 블록으로 80 dB의 수신 감도 측정을 위해 7단 정도를 사용한다. 이때 RSSI의

에러율을 고려해 리미팅 증폭기의 이득은 10 dB 이하로 설계해야한다[1].

따라서 리미팅 증폭기의 전력 소모를 줄이는 것은 전체 시스템의 전력 소모를 줄이는 데 매우 효과적이다. 본 논문은 리미팅 증폭기의 전력 소모를 줄이기 위해 폴디드 캐스코드(folded cascode)구조를 사용하여 전체 공급전압을 줄였다. 소오스 디제너레이션 구조의 출력단은 일반적인 구조에 비해 출력 임피던스를 크게 할 수 있으므로, 동일 전압이득을 보다 적은 트랜스컨덕턴스로 구현 가능하다. 트랜스컨덕턴스의 감소는 소모 전류량의 제곱배 만큼의 감소가 된다.

## II. 저전력 리미팅 증폭기

### 2.1 폴디드 캐스코드 리미팅 증폭기

그림 1 (a)는 NMOS 다이오드 부하를 연결한 일반적인 소오스 커플드 구조의 리미팅 증폭기이다. 최소  $V_{tMn3} + V_{tMn1} + 3\Delta V + V_{swing}$ 의 supply 전압이 필요하다 (여기서  $V_{tMn1}$ ,  $V_{tMn3}$  은 Mn1, Mn3의 문턱전압,  $\Delta V$ 는 Mn1, Mn3, Mp1의  $V_{ds}$ ,  $V_{swing}$ 은 출력 전압 폭 이다.). 이 경우 최소 2V의 공급 전압이 필요하다. 그림 1 (b)는 공급전압을 낮추기 위한 폴디드 캐스코드 구조이다. 폴디드 캐스코드 구조의 최소 공급전압은  $V_{tMn1} + 3\Delta V + V_{swing}$ 으로  $V_t$ 를 보상할 수 있다.[1,2] 그림 1(b)의 전압이득은 식 (1)과 같다.

$$A_v = G_m R_{out} = g_{m1} \times \frac{1}{g_{m4}} \quad (1)$$

여기서  $g_{m1}$ ,  $g_{m4}$  는 Mn1, Mn4의 트랜스컨덕턴스이

다. 폴디드 케이스코드 리미팅 증폭기의 전압 이득을 9.5 dB로 설정하고, 다이오드 연결 부하와 트랜스 컨덕턴스를 위해 Mn4, Mn1에 16.9  $\mu$ A, 24.5  $\mu$ A의 전류를 흐르게 하였다.

2.2 소오스 디제너레이션 출력단

전체 이득을 9.5 dB로 고정하고 전류 소모를 줄이기 위해 식 (1)을 이용하여, 출력 임피던스를 늘리면 입력 트랜스컨덕턴스를 줄일 수 있다. 그림 1(c)는 소오스 디제너레이션 출력단을 가진 리미팅 증폭기 이다. 출력단의 임피던스를 구하기 위해 그림 1(d)를 사용하여 식 (2)와 (3)에 표시했다.

$$I_x = g_m (V_x - I_x R_s) + \frac{V_x - I_x R_s}{r_o} \quad (2)$$

$$\frac{V_x}{I_x} = \frac{1 + g_m R_s + R_s/r_o}{g_m + (1/r_o)} \cong \frac{1}{g_m} + R_s \quad (3)$$

소오스 디제너레이션 출력단을 가진 리미팅 증폭기의 전압이득은 식 (4)와 같다.

$$A_v = g_{m1} \times \left( \frac{1}{g_{m4}} + R_{s1} \right) \quad (4)$$

만약  $R_{s1}$ 이  $1/g_{m4}$ 와 같다면, 전체 출력 임피던스는 2배가 되므로 동일 전압이득에  $g_{m1}$ 은 1/2 만큼 줄어든다. 따라서 전력 소모량은 1/4로 줄일 수 있다.

2.3 제안하는 리미팅 증폭기

그림 2(a)는 제안하는 리미팅 증폭기이다. 제안하는 증폭기는 폴디드 구조의 이득단과 소오스 디제너레이션 출력단 및 공통모드 피드백 블록으로 구성된다. 그림 2(b)은 제안하는 구조의 트랜스퍼(transfer) 커브이다. 설계 결과를 표 1에 정리 하였다.

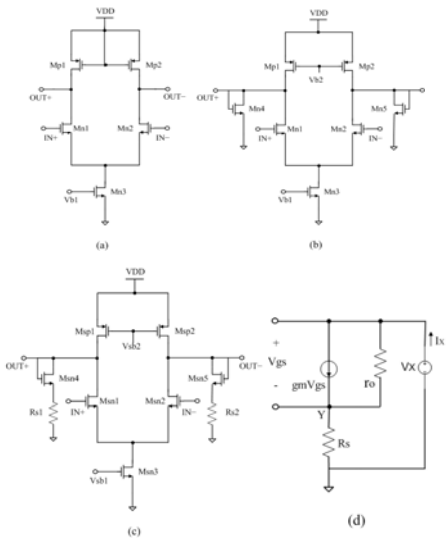


그림 1. (a)다이오드 연결 리미팅 증폭기 (b)폴디드 리미팅 증폭기 (c)소오스 디제너레이션 출력 리미팅증폭기 (d) 출력 증가회로

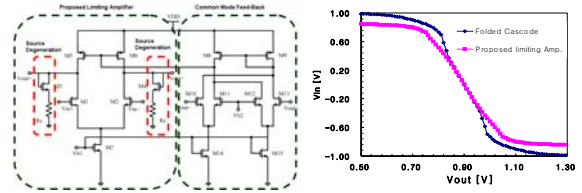


그림 2. (a)제안하는 리미팅 증폭기 (b)리미티 증폭기의 트랜스퍼 커브

그림 3. 리미팅 증폭기의 트랜스퍼 커브

표 1. 제안하는 리미팅 증폭기 설계 결과 비교

Parameter	Proposed	Conventional
Power dissipation	1.8 V supply voltage	
	96.5 $\mu$ W	176.9 $\mu$ W
Input dynamic range	$\pm$ 300 mV	$\pm$ 125 mV
THD	1.158 %	1.160%

IV. 결론

본 논문은 초저전력 리미팅 증폭기를 제안하였다. 제안한 폴디드 구조를 사용하여 공급전압을 낮췄으며, 소오스 디제너레이션 구조를 이용해 출력 임피던스를 높여 입력 트랜스컨덕턴스 값을 낮게 하였다. 리미팅 증폭기의 성능저하 없이 일반적인 다이오드 연결 폴디드 구조에 비해 약 50%의 전력 소모를 줄였다. 설계한 리미팅 증폭기는 0.18  $\mu$ m 표준 CMOS 공정을 이용하여 설계하였으며, 9.5 dB의 제한된 이득 조건에서 1.8 V의 공급전압으로 96.5  $\mu$ W의 초저전력 동작을 구현하였다.

본 논문은 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업과 IDEC의 CAD tool, MPW 사업의 지원 하에 수행된 연구결과입니다.

참고문헌

[1] P. Huang, et. als. "A 2-V 10.7-MHz CMOS Limiting Amplifier/RSSI," IEEE JSSC, Vol. 35, No. 10, pp.1474-1480, Oct. 2000  
 [2] B. Razavi, Design of Analog CMOS Integrated Circuit, McGraw-Hill, 2001